

車載ナビ用電源統合ICの開発

Development of Unified Power Supply IC for Car Navigation Systems

小山 輝 芳 Kiyoshi KOYAMA
 泉 本 亮 Ryoh IZUMOTO
 小 松 和 弘 Kazuhiro KOMATSU

1

はじめに

当社主力製品であるカーナビゲーション（以下、ナビ）は、その操作性や利便性のさらなる向上を追求し、ますます高機能、高性能化が進むと共に、製品の小型化、軽量化を図る必要性が出てきている。

同時に、ポータブルナビやスマートフォンの普及、ナビのコモディティ化による単価下落への追従を見据えた製品開発がメーカーにとって大きな課題となっている。

このような状況のなか、ナビを陰で支えている電源回路においても、より安価で小型化が可能な構成が望まれており、これを達成する一つの手段として電源機能のIC統合化を検討し、多機種に採用可能で将来的にも使用できるICを開発した。

本稿では、開発した電源統合ICの特長を紹介する。

2

開発ICの紹介

本ICを用いた当社ナビの電源構成例を図1に示す。ナビに標準的に必要な電源機能のうち、バッテリー電圧を直接扱う以下の回路機能をICに統合した。高価な中耐圧プロセスを必要とする回路機能を1チップに効率良く集積化でき、これにより小型化とコストダウンを実現させた。

- 4つのDC/DCコンバータ
- 2つの電圧検知（バッテリー電源、アクセサリ電源）
- 2つのロードスイッチ（負荷の給電ON/OFF用）

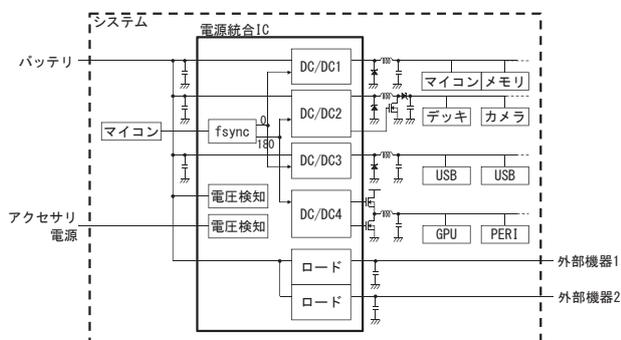


図1 本ICを用いた電源構成例

Fig.1 Example of power supply configuration with this IC

以下では、各機能の概要を説明する。

2.1 DC/DCコンバータ概要

DC/DC1は、マイコンやメモリに常時供給する電源として使用する想定で設計した。車両未使用時も供給を行うため、バッテリーの消費を抑えるべく、負荷電流が少ない場合はスイッチング周波数を必要最小限まで下げて動作電流を軽減する低消費電流モードに対応した。また、エンジン始動時のバッテリー電圧低下により、マイコンがリセットされないよう、4Vの低電圧動作に対応させた。

DC/DC2は、主にCDやDVDデッキのモータ駆動用8V電源として使用する想定で設計した。アイドリング・ストップ車の場合、渋滞や交差点などでエンジン停止した状態から再始動した際に、音楽やビデオ再生が途切れ無いうよう、バッテリー電圧低下時も安定した8V電源供給を行うため、昇降圧電源として使用できるようにした。

DC/DC3は、主にUSBバスパワー用5V電源として使用する想定で設計した。複数のUSBポートの搭載やタブレット機器のUSB充電も視野に入れ、2.1Aの給電に対応させた。

DC/DC4は、ナビや周辺機器、およびそれらを制御するマイコンに大電流を供給させるため、電源部品の発熱が少ない同期整流方式を採用した。また大規模GPU（Graphics Processing Unit）やSoC（System on a Chip）にも対応するため、必要な電流給電能力に応じてFETを選択できるように、スイッチングFETは外付け対応としている。

また、ラジオの受信性能確保のため、DC/DCコンバータのスイッチングノイズはラジオ受信局周波数を回避する必要がある。これに対応するため、マイコンから供給する高精度クロックにDC/DCコンバータのスイッチング周波数を同期させる機能を付け、スイッチングノイズの周波数をマイコンで制御できるようにした。更にDC/DC1は、クロック入力によりナビシステムが起動したと判断し、低消費電流モードから一定周波数で動作するPWMモードに移行させる仕様とした。これにより、他のDC/DCコンバータと同様にノイズ周波数を制御できるようにした。

2.2 電圧検知・ロードスイッチ概要

電圧検知は、ナビの動作に十分なバッテリー電圧が供給されているか検知する機能と、アクセサリ・スイッチのON/OFFを検知する機能を搭載した。

ロードスイッチは、ナビの動作に連動した外部機器への給電用で、電流制限、過熱保護機能付きのスイッチを2系

統搭載した。

2.3 パッケージの選定

パッケージは、必要端子数、放熱性、実装性、コスト面を考慮し、裏面放熱PAD付きQFP48を選定した。当社基板仕様で図2に示すパッケージ熱抵抗シミュレーションを実施し、 $\theta_{j-a}=25^{\circ}\text{C}/\text{W}$ との結果から、ICに内蔵するFETのサイズや目標仕様を決定した。

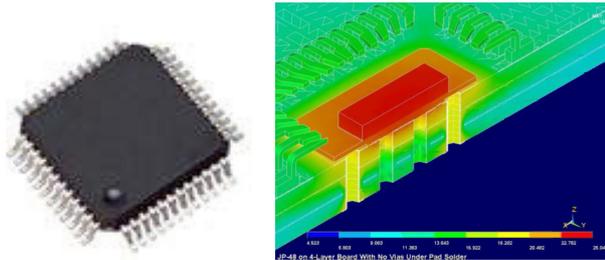


図2 パッケージの熱抵抗シミュレーション結果
Fig.2 Simulation result of package thermal resistance

3 電源IC統合化の課題

複数のDC/DCコンバータやスイッチを1つのICに統合するには多くの課題がある。特に車載機器特有の課題もあり、設計上で工夫したポイントを3点紹介する。

3.1 各電源の独立性確保

電源統合化による1点目の課題は、一部の電源に異常が生じた場合、その異常により生じる発熱がIC全体に広がり、破壊や誤作動に至る高温状態に達する前に停止させる過熱保護機能が作動することで、全ての電源が停止し、システム全体が動作しなくなる点にある。例えば、外部機器に異常が生じただけでナビ機能も使用できなくなるということが起こるため、ナビを頼りに外出されているお客様にとっては、大変な不便さを感じさせてしまうことになる。

この課題を解決するために、本ICでは過熱保護温度を2段階設けた。外部機器に給電するロードスイッチは下側過熱保護温度で停止させ、DC/DCコンバータは上側過熱保護温度で停止させることで、図3に示すように外部機器の異常でDC/DCコンバータが停止しないようにした。

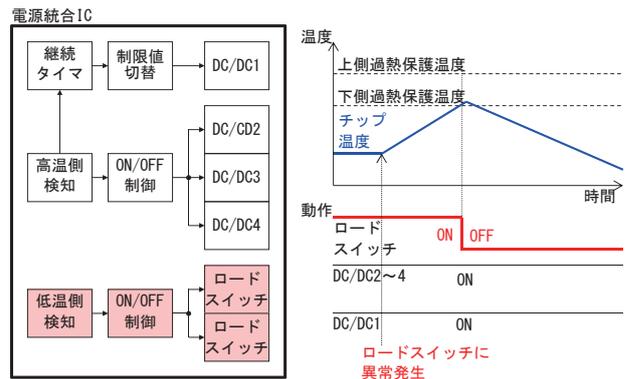


図3 ロードスイッチ異常時の動作
Fig.3 Operation of this IC by abnormality in load switch

また、DC/DC1はマイコン、メモリ用電源のため、本電源が停止すると設定情報などシステム全体がリセットされるため、これもお客様に不便さを感じさせてしまう。

この課題を解決するために、まずはDC/DCコンバータ異常発熱を抑えるべく、過電流が流れると間欠的なスイッチング動作に切り替わるヒカップ式過電流保護方式を採用した。それでも過熱保護温度に達した場合は、DC/DC1を除くDC/DCコンバータをラッチオフさせて、異常高温状態が続くのを阻止する。それでもなお、高温側過熱保護温度を超える状態が一定期間継続すれば、DC/DC1の異常と判断して、DC/DC1の電流制限値を大幅に下げて高温状態から脱する仕様とした。

これにより、図4に示すように意図する独立性を確保することが可能となった。

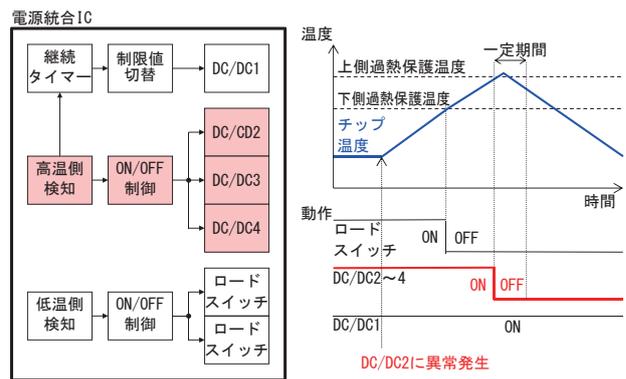


図4 DC/DCコンバータ異常時の動作
Fig.4 Operation of this IC by abnormality in DC/DC converter

3.2 電源間動作干渉によるノイズ発生の抑制

電源統合化による2点目の課題として、電源間でのスイッチングノイズ干渉がある。これは、安定したPWM動作を阻害するため、スイッチング周波数以外の帯域にノイズを発生させ、AMラジオやスマートエントリーシステムの受信妨害を引き起こす可能性がある。

図5の電源ブロック図でノイズ発生メカニズムを説明す

る。スイッチング電源回路はノイズ源であると共にノイズに過敏な制御回路も含まれている。そのため、他の電源のスイッチングFETがターンON、もしくはターンOFFした際に発生するノイズが電流検出 (Current Sense) 信号等に重畳すると、誤ったタイミングでFETがターンOFFしてしまい、低調波、およびその逡倍波のノイズが発生する。このノイズがラジオの受信性能を低下させてしまう。

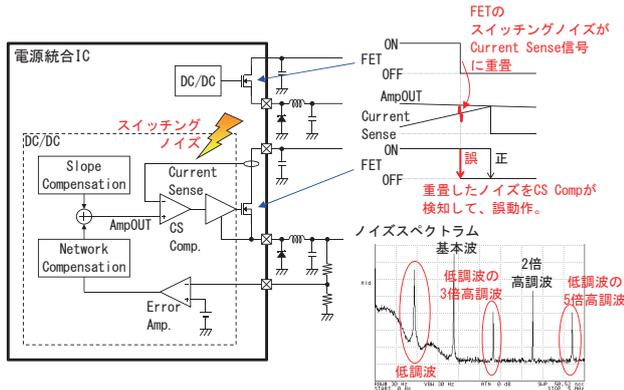


図5 電源ブロック図とノイズ発生メカニズム

Fig.5 Power supply block diagram and generation mechanism of noise

この課題を解決するため、本ICでは以下の施策を織り込んだ。

- ① ターンON、ターンOFFタイミングが重ならないよう、各電源の設定出力電圧を考慮して、各電源の動作位相差を設定 (同相/逆相)。
- ② ノイズ源となるFETはチップコーナーに配置。また、チップ内GNDインピーダンスの低減を図り、制御回路へのノイズ混入を低減。
- ③ IC内部電源を各電源間で独立させ、共通回路を介して回り込むノイズを排除。
- ④ リンギングノイズ抑制のため、寄生インダクタンス低減を図るべく、ボンディングワイヤーの本数を増やし、デカップリングコンデンサを最短配置できる端子配列を決定。

本ICのチップ写真を図6に示す。

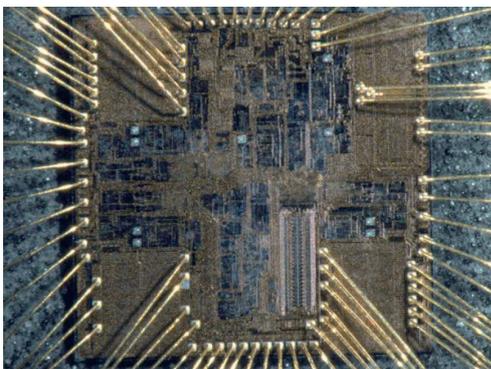


図6 開発ICのチップ写真

Fig.6 Photograph of developed IC chip

3.3 降圧電源と昇降圧電源の両対応

昇降圧電源とは、入力電圧が出力電圧を上回る場合でも下回る場合でも、所望の出力電圧を得られる電源方式である。しかしながら、必要となる電子部品が増える分、降圧電源よりもコストが高くなる。また、降圧電源構成でも性能を満足するシステムが未だ多いことから、本ICでは両方式に対応させると共に、降圧電源構成でのコストを重視して、図7に示すように降圧スイッチングFETをICに内蔵、昇圧スイッチングFETは昇降圧の必要性に応じて外付けする構成とした。

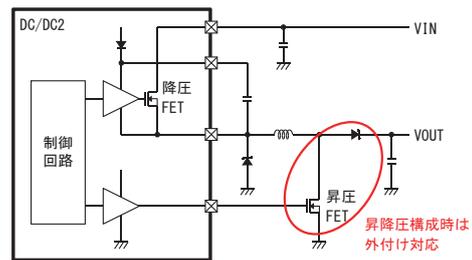


図7 昇降圧コンバータ回路ブロック図

Fig.7 Circuit block diagram of buck-boost converter

ここで3点目の課題となるのが、降圧スイッチングFETに流れる電流を抑えて、FETをICに内蔵させることである。昇降圧コンバータは降圧動作と昇圧動作を同時に行うため、入力電力、出力電力共に断続的な供給になり、結果的にインダクタ電流を増加させてしまう。しかし、降圧電源構成時のコストを抑える狙いがあるため、昇降圧電源のためにFETをサイズUPできない。

この課題を解決するために、降圧動作と昇圧動作をできるだけオーバーラップさせない工夫が必要である。そこで、本ICではオーバーラップ部分を無くし、降圧動作と昇圧動作をシームレスに切替る制御回路を取り入れた。図8は、入力7V、出力8Vでの電流波形を示すが、対策前は5.6Aも流れていた電流を、対策後は2.7Aまで減少させることができ、降圧FETのIC内蔵化を実現させた。

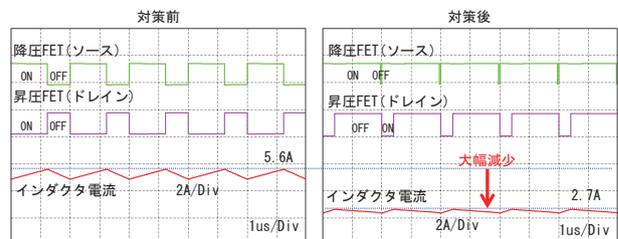


図8 対策前後のインダクタ電流波形

Fig.8 Inductor current waveform before and after countermeasure

4

開発の成果

今回開発したICを2013年秋発売の市販AVN、ディーラオプションナビ、および一部のメーカオプション品にも搭載した。当社従来製品と比較し、電源回路を約30%小型化、コストも約20%低減することができた。また、意図した通りの電源独立性も確保、動作干渉による不要ノイズの抑制など、統合化に対する技術的課題もクリアできた。製品への搭載例を図9に示す。

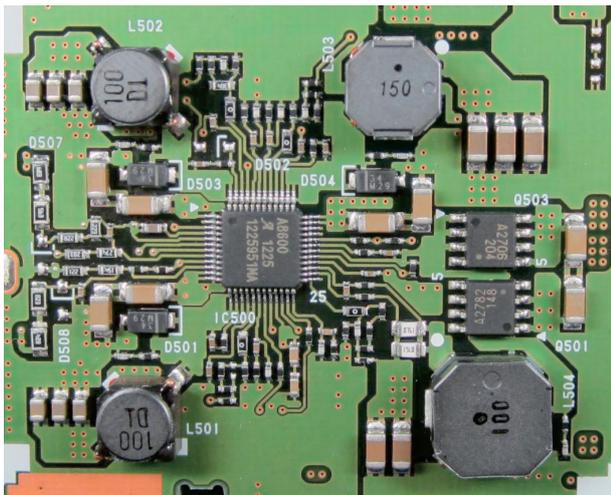


図9 本ICの製品搭載例

Fig.9 Example of this IC mounted on our product

5

今後の展望・課題

本IC開発では、統合化に対する技術的課題をクリアし、製品に採用できる性能、品質、小型化可能なICが完成した。しかしながら、今後、更なる小型化が必要になると考えられ、発熱、ノイズ軽減技術の検討、部品の最小配置配線、IC内蔵化による必要スペースの低減、高周波スイッチングによる部品の小型化など、実用化に向けて検討し、今後も魅力的な製品を世に送り出せるよう尽力したい。

6

謝辞

最後に、本ICの開発に際して、仕様策定段階から多大なご協力を頂いたサンケン電気様、並びに米Allegro Microsystems,LLC様に心より感謝の意を表します。

筆者紹介



小山 輝芳
(こやま きよし)

SS技術本部
周辺技術開発部



泉本 亮
(いずもと りょう)

SS技術本部
周辺技術開発部



小松 和弘
(こまつ かずひろ)

SS技術本部
周辺技術開発部
チームリーダー