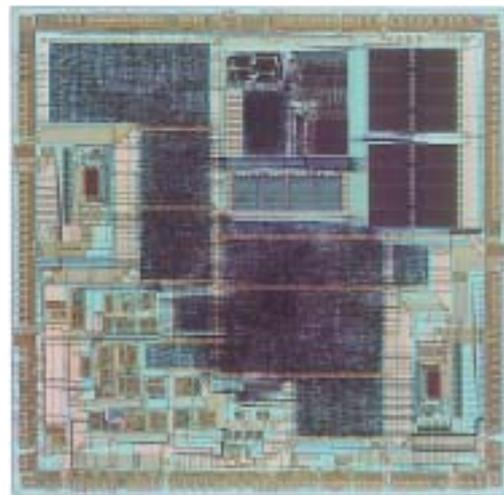


# エンジン制御ECU用統合ICの品質確保手法

Techniques of Obtaining the Quality of  
the System LSI for the Engine Management ECU

谷 泰司 *Yasushi Tani*  
笠目 知秀 *Tomohide Kasame*  
小松 和弘 *Kazuhiro Komatsu*  
藤本 正彦 *Masahiko Fujimoto*



## 要 旨

近年、自動車には様々なECU（Electronic Control Unit）が搭載されており、そのECUには多くのICが使用されている。エンジン制御ECUも例外でなく、それに搭載されているICのなかでエンジン制御ECU用統合ICは中心的な制御を担っている。したがって正常なICをECUに搭載し、エンジンの動作を確保するために、ICの品質確保は非常に重要な要素である。しかし、ICの大規模化にともない試験が複雑化してきている。

本稿では当社で開発したエンジン制御ECU用統合ICに対する設計段階における品質確保への取り組みを紹介する。

## Abstract

In recent years, a variety of Electronic Control Units (ECUs) have been installed in automobiles. A large number of ICs are used in these ECUs, and engine control ECUs are no exception. Since the system LSI, which we have developed, is installed in engine management ECUs that perform functions related to passenger safety, its quality assurance is of extreme importance. However, quality inspections have become increasingly complex with increases in IC size.

In this paper, we will introduce the quality assurance procedures implemented during the design stage of the system LSI for engine control ECUs.

1. はじめに

近年、自動車には様々なECU (Electronic Control Unit) が搭載されており、そのECUには多くのICが使用されている。エンジン制御ECUも例外ではなく、その中でもエンジン制御ECU用統合ICは中心的な制御を担っている。したがって、正常なICをECUに搭載し、エンジンの動作を確保するために、ICの品質確保は非常に重要な要素である。

そのためには不良ICを製造しない事はもちろん、ICの出荷試験によって不良品をリジェクトする必要がある。今回の取り組みは設計段階からの品質の作り込みをすることによって、不良ICを出荷試験にて事前にリジェクトすることを目的としている。しかし、ICの大規模化にともなう試験の複雑化という問題がある。

本稿では当社で開発した100万トランジスタ規模の統合ICに対する設計段階からの品質向上への取り組み内容を紹介する。

2. エンジン制御ECU用統合ICの概要

エンジン制御ECU用統合IC (以下、本IC) は図-1のように16bitCPU、メモリ (ROM、RAM)、汎用リソース、エンジン制御用途向け回路を内蔵している。

エンジン制御用途向け回路はCMOSデジタル回路および高精度CMOSアナログ回路で構成している。

2.1 現状の問題点

エンジン制御用ICは、図-2のように年々規模が増大している。それにともないチェック箇所も増えるため試験が複雑化してくる。本ICは100万トランジスタという規模であり、3年前に開発したICと比べるとおよそ20倍の規模になっている。

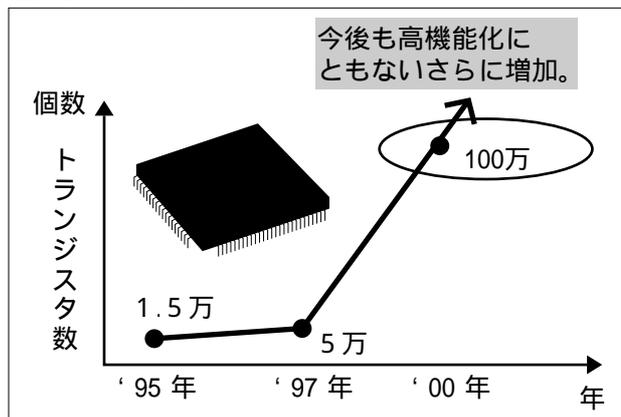


図-2 エンジン制御ECU用ICの規模変遷

Fig.2 Scale Transition of the IC for the Engine Management ECU

また、マイコン内蔵ICなのでソフトウェアにより使用方法が多岐にわたり、全ての使用状態を考えた試験実施が困難である。

以上の点より不良ICが市場へ流出しないようにするためには、IC内のチェックしなければならない箇所に対する試験の網羅度を管理することが重要である。

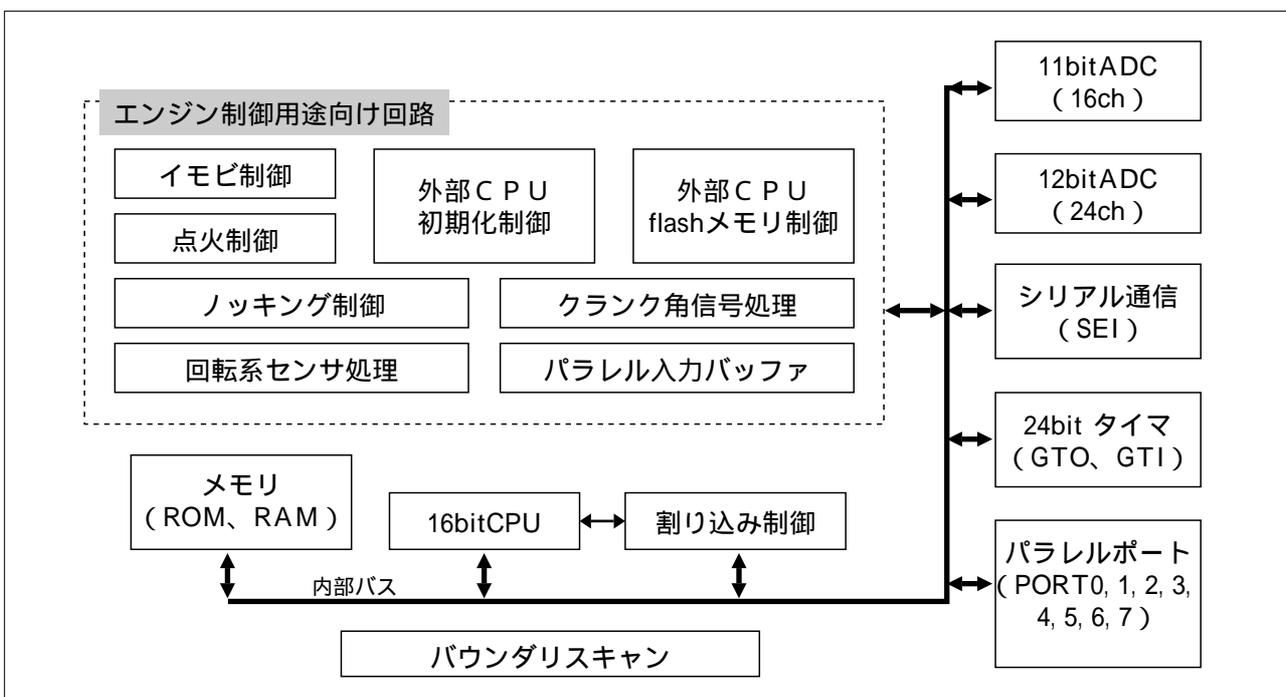


図-1 エンジン制御ECU用統合IC構成図

Fig.1 Block Diagram of the System LSI for the Engine Management ECU

### 3. 故障検出率と不良混入率

IC メーカーより不良 IC が出荷される確率を不良混入率という。不良混入率は通常 ppm ( Pieces Per Million, Parts Per Million ) という単位で表される。しかし、実際の不良混入率は、製品がある程度 ( ~数百万個 ) 量産されないと確認することができない。したがって設計段階から対策するためには、あらかじめ量産後の不良混入率を予想しなければならない。

#### 3.1 故障検出率

不良混入率を予想するうえで 1 つの指標になるのが故障検出率である。故障検出率とはファンクション試験によってどれだけの故障を検出できるかを数値化したものであり、設計段階での検証が可能である。ここでいう故障とは IC 内部のセル端子が 'Hi' or 'Lo' に固定された状態 ( 縮退故障 ) をいう。( 図-3 )

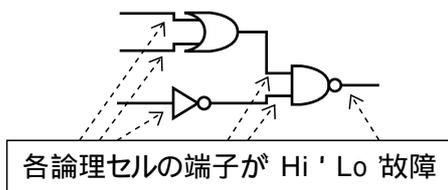


図-3 故障検出率における縮退故障  
Fig.3 Stuck-at faults in Fault Coverage

#### 3.2 不良混入率と故障検出率の関係

不良混入率と故障検出率は一般的に次のようなモデル式のように表される。DL は不良混入率、Y は歩留り、T は故障検出率である。

$$DL = 1 - Y^{(1-T)}$$

上記モデル式をグラフにすると図-4 のようになる。T=0% の場合、DL = 1 - Y となり製造上の不良率そのまま不良混入率となる。T=100% の場合、不良混入率はゼロとなる。

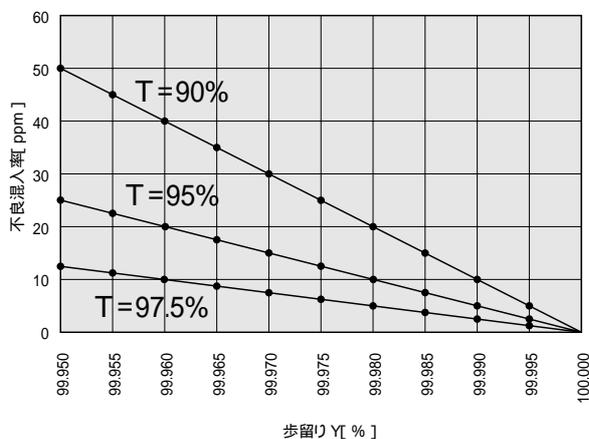


図-4 故障検出率と不良混入率の関係

Fig.4 Relationship between Fault Coverage and Defect Level

図-4より故障検出率95%のとき年間生産において不良品が流出しなくなるためには歩留り99.98%以上が必要ということになる。

#### 3.3 モデル式の検討

前述のモデル式は次の 2 つの仮定によって成り立っている。一つは互いの故障が独立の確率で発生するというものであり、もう一つは各部位の故障発生確率は等確率であるということである。

前者の仮定では故障箇所を 1ヶ所だけと想定している。その故障による不適切な信号が他の正常な回路を伝播して IC の端子へ出力されるかを見ているため、複数の故障を想定していない。

後者の仮定では各プロセス工程やチップ上に発生する故障の確率があらゆる場所で等確率であることを想定している。しかし、ここでいう故障の原因は殆どゴミ混入であり、そのゴミは主にアルミ層間膜生成過程で混入すると考えられるため、プロセス毎に故障発生確率は同確率ではない。また、ゴミは配線のショートにつながることも多いと考えることができ、配線間ショートのような非縮退故障は故障検出率で想定していない。また、アルミ断線・ショートに関しては各トランジスタの領域 ( ゲート酸化膜や GDS 領域の微細な故障 ) における故障に比べ、複数の素子に伝播する可能性が高い。これらは前者の仮定にも関係する。さらにプロセスの不具合により発生する不良に対してはテストパターン以外の手段 ( プロセスモニタ素子など ) によりリジェクトされており、実質的な歩留りは製品の歩留りに対して高い。

以上よりモデル式は以下のような補正が必要であることが推測できる。

$$DL = 1 - Y^{(1-T)}$$

しかしながら、現在  $\bullet$  は算出できていない。

#### 3.4 目標の設定

そこで今回の目標故障検出率は、従来製品であるマイコン IC の品質実績より設定する事にした。この製品は、今回開発した IC と同一のプロセスで開発されており、その品質実績から、新規 IC の不良混入率を予測できると判断した。

#### 4. 故障検出率の向上

前述のとおり故障検出率はファンクション試験によってどれだけ故障を検出できるかを数値化したものである。したがってその向上のための作業はファンクション試験のテストパターン作成が主な活動になる。

##### 4.1 作業フロー

作業フローは図-5のようになる。まず機能検証にも使用した仕様書をベースにしたテストパターンによる故障検出率を算出する。そして故障検出率が目標以上に達しなければ未検出箇所を解析し、再度テストパターンを作成する。あとはこれらの作業の繰り返しになる。

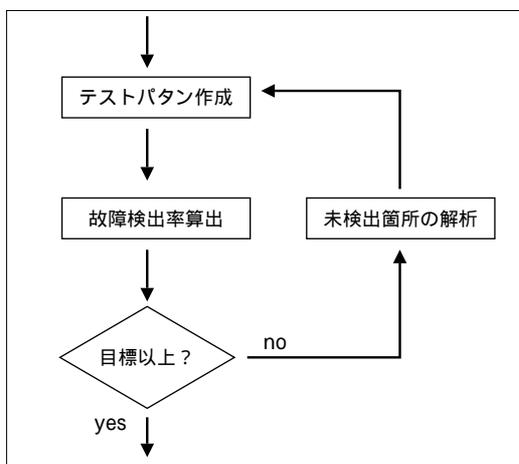


図-5 故障検出率向上作業フロー  
Fig.5 Work Flow for Improving Fault Coverage

##### 4.2 故障検出率の推移

最初の故障検出率算出で本ICは目標に達しなかった。そこから活動を開始し、2ヶ月後には目標を少し下回る値まで向上した。しかし、故障検出率向上につれて未検出故障の検出が難しくなるため、最初1ヶ月の向上率に比べ、次の1ヶ月間にはおよそ7分の1しか向上しなかった。(図-6)

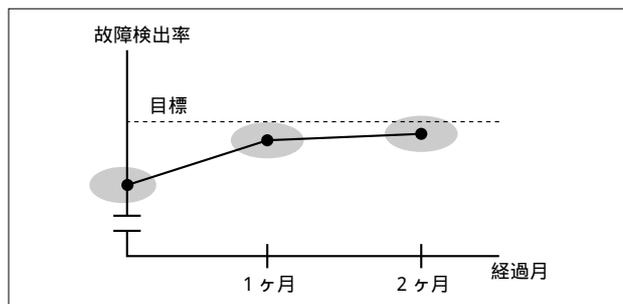


図-6 故障検出率の推移  
Fig.6 Change in Fault Coverage

#### 5. IDDQ試験

故障検出率向上のペースが遅くなってきたため、最近各社で採用が始まっているIDDQ試験を追加することにした。IDDQ試験はテストパターン入力中に動作を止めて回路暗電流を測定する試験である。本ICはCMOSプロセスなので正常時には回路電流は殆ど流れず、IC内部に故障があるような異常時には回路電流は大きく流れる。

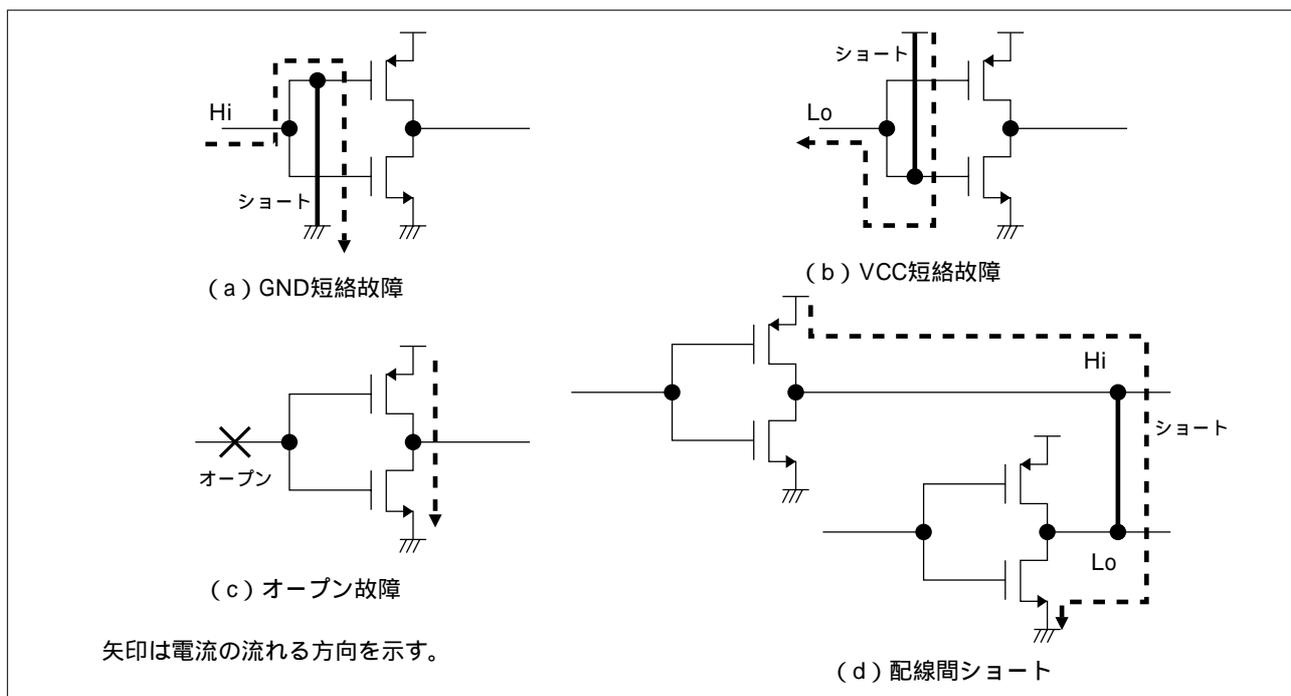


図-7 IDDQ試験でリジェクトできる故障  
Fig.7 Detectable Faults in IDDQ Test

5.1 リジェクトできる故障

テストパタンによる入力信号がIC内部のトランジスタをON/OFFさせることによって電位を確定させ、故障がある場合は貫通電流が流れる。図-7にIDDQ試験によってリジェクトできる故障例を示す。(a)と(b)はVCC/GND短絡故障であり、縮退故障である。(c)は配線オープン故障である。(d)は配線間ショートであるが、故障として検出できるように電位を設定する必要がある。

5.2 IDDQ試験の観測性

ファンクション試験では内部トランジスタを動作させ、その動作をICの出力端子まで信号を伝播させなければならないのに対し、IDDQ試験では内部トランジスタを動作させてICの暗電流を測定し、その大きさによって判断できるため観測性に優れている。(図-8)

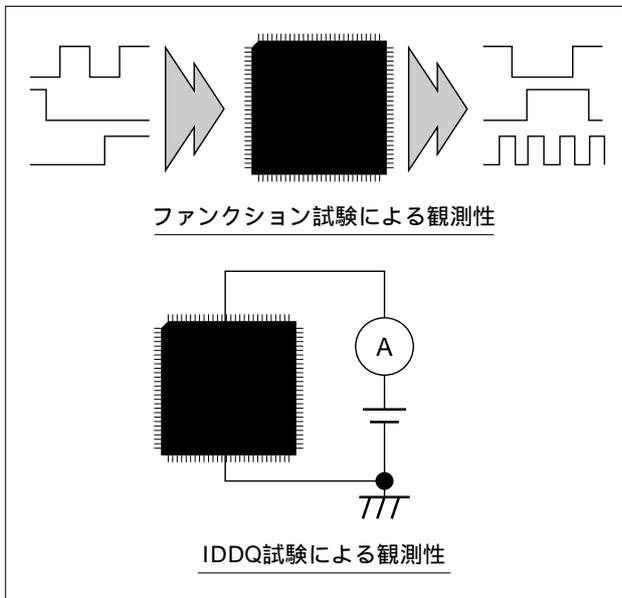


図-8 観測性の違い  
Fig.8 Differences in Observation

しかし、IDDQ試験は暗電流測定のためファンクション試験に比べ時間がかかるという欠点も持っているため多用すると試験コストに影響を与える場合がある。

5.3 統合ICへの適用

前述のようにIDDQ試験は縮退故障に対してもリジェクト効果があるためファンクション試験で検出できなかった未検出故障箇所に対して重点実施した。その結果、未検出故障箇所のうち60%を検出できるようになった。

6. 実効的な故障検出率

以上より本ICのファンクション試験とIDDQ試験を合わせた実効的な故障検出率は目標を上回ることができた。

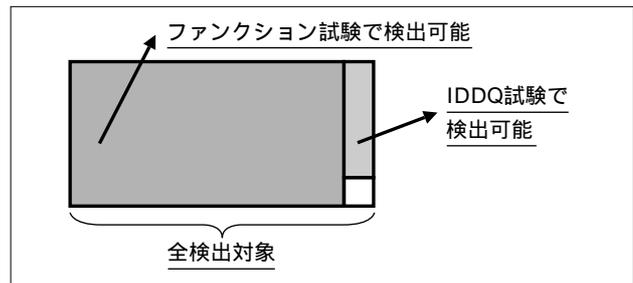


図-9 実効的な故障検出率のイメージ  
Fig.9 Images of Effective Fault Coverage

これにより目標不良混入率の達成目処がついた。(図-9)

7. ユーザモード試験

ところが、同一プロセスで製造された他のマイコンICにおいて故障検出率が目標値以上であるにもかかわらず目標不良混入率を達成できなかったという事例があった。それはある特殊な故障があったからである。

7.1 特殊な故障

ECUにICを載せてみるとそのICが原因でECUが正常に動作しないことがあった。IC内のCPUがなんらかの原因で暴走しているのは明らかだった。そのときのIC内動作を解析してみると図-10のようになる。CPUはROMデータの内容に沿った割り込み・分岐命令等を実行しながら、各リソースに対しデータをやりとりする。

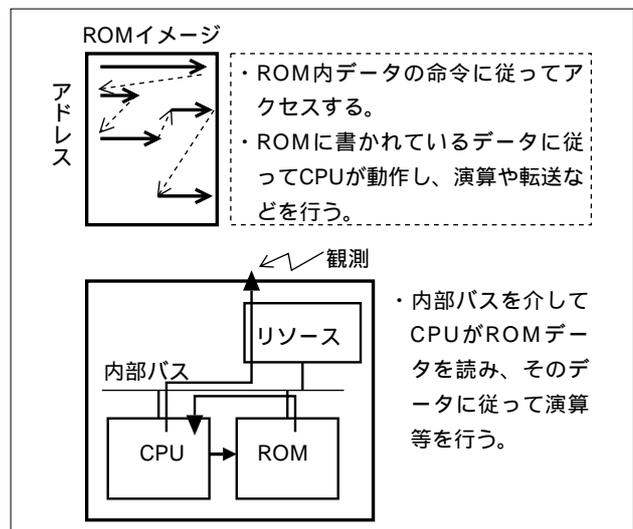


図-10 ECUでのROMアクセス動作  
Fig.10 ROM Access Operation on the ECU

ところがこのICは通常の出荷試験ではリジェクトできなかった。図-11のように出荷試験ではROM試験、CPU試験、各リソース試験を実施しており、特に問題がなかった。ROM試験はアドレス順どおりROMを全アクセスし、ROMデータを順次読み出していく試験である。CPU試験

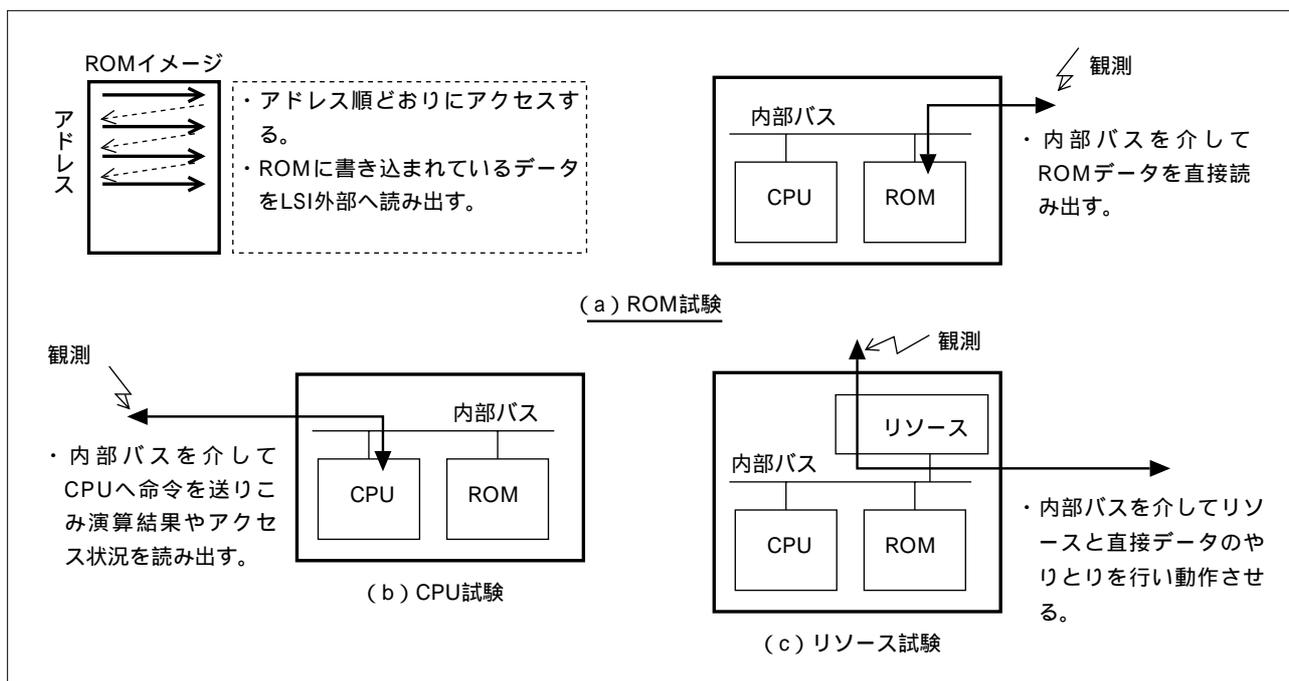


図-11 一般的な試験  
Fig.11 Conventional Test

は外部から命令を直接CPUへ入力し、演算等を行う試験であり、各リソースの試験は直接外部からリソースヘデータのやり取りを行って機能を試験するものである。

したがって、個別ではあるが各ブロックとも試験はされている。しかし、実際のプログラムに沿って動作するような特定の命令の組み合わせを実行した時にしか起こらない不具合モードがある。このような事実があるために何らかの対策をしなければならなかった。

### 7.2 ユーザモード試験

そこでECU搭載状態と同一の動作を出荷試験にて行う必要がでてきた。このため、車での状態を再現するような入力信号を加え、内部ROMによる実動作状態で試験した。

### 7.3 効果

同一プロセスで製造されたマイコンICで工程内不良品、市場不良品を再試験したところ出荷試験では良品と判定したがユーザモード試験を実施したところ70%を不良と判定した。その結果、目標不良混入率が達成され試験抜けによる不良がゼロとなることが確認できた。これにより本ICにも効果があることは十分に予想できる。

## 8.まとめ

これまで述べてきたようにファンクション試験やIDDQ試験追加による実効的な故障検出率は目標を上回り、さ

らにユーザモード試験を追加することによって試験抜けによる不良品混入はゼロを達成できる見込みである。

また、これからの課題として故障検出率向上時のテスト設計工数が大きいことがある。これに対しては今後プロセスの微細化によってチップ面積への影響がより少なくなるので、回路内部のレジスタを簡単に制御・観測できるスキャンデザインをはじめとするテスト容易化設計手法導入で対応していく。

## 筆者紹介



谷 泰司 (たに やすし)

1992年入社。以来、自動車用LSIの開発に従事。現在、LSI開発部L3プロジェクト在籍。



笠目 知秀 (かさめ ともひで)

1985年入社。以来、自動車用LSIの開発に従事。現在、LSI開発部L3プロジェクト在籍。



小松 和弘 (こまつ かずひろ)

1992年入社。以来、自動車用LSIの開発に従事。現在、LSI開発部L3プロジェクト在籍。



藤本 正彦 (ふじもと まさひこ)

1982年入社。以来、モータロニクス機器の開発に従事。現在、LSI開発部L3プロジェクト課長。