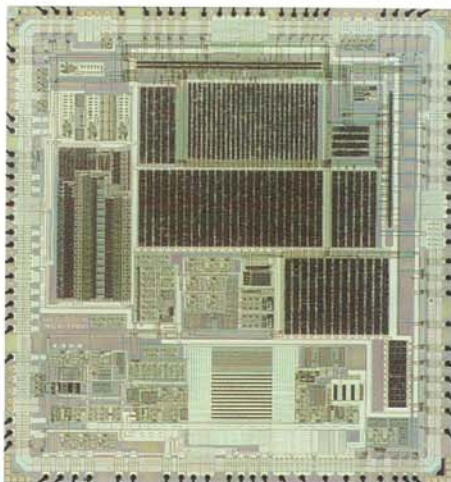


全CMOSエンジン制御用統合IC

All-CMOS Process Engine Control System LSI

花澤 敏夫 *Toshio Hanazawa*
安河内 克之 *Katsuyuki Yasukouchi*
福田 照久 *Teruhisa Fukuda*
笠目 知秀 *Tomohide Kasame*
藤本 正彦 *Masahiko Fujimoto*



要 旨

自動車用電子機器に対する高性能化、小型・軽量化、及び低コスト化の要求は年々高まってきており、当社ではこれまでにその手段の1つとして、カスタムIC化を行ってきた。

今回、当社では更なる小型化・低コスト化を図るため、富士通殿と共同で複数の機能を1つのチップ上に集積した全CMOSエンジン制御用統合ICを開発した。本ICは、1997年4月より量産を開始する。

本稿では、全CMOSエンジン制御用統合ICの機能と特徴、及び設計技法について述べる。

Abstract

We have developed more than forty(40) custom ICs (ASICs) to meet continuously increasing needs of high performance, small sized, light weighted, and lower price Electric Control Units (ECUs) for automobile applications.

Although most of those ASICs are of single function, we have newly developed an all-CMOS process ASIC with Fujitsu Limited on which multiple functions, i.e. power supply, knocking control circuitry, engine revolution sensor processors, level interface circuitry, and so on, are integrated. The ASIC will be onto a market in April 1997 on engine management ECUs.

This paper describes the functions and characteristics of the ASIC and some design tips are also introduced.

1. はじめに

近年、自動車用電子機器は、高性能・高性能化が進む一方、小型・軽量化、低コスト化の要求が高まっている。当社では従来、これらの対応として個々の機能のカスタムIC化を行ってきた。

エンジン制御用電子機器においてもこれらの要求は厳しく、これまでカスタムIC化にて対応してきたが、従来のIC開発方法では他社との価格競争に対抗することが困難となってきた。そこで、更なる小型化・低コスト化を実現するために、複数のIC機能を1つのチップ上に集積した「統合IC」を富士通殿と共同開発した。

本稿では、統合ICの機能と特徴およびその設計技法について述べる。

2. 統合ICの概要

統合ICには、図-1のように従来エンジン制御ECU(Electronic Control Unit)に個々のカスタムICとして搭載されていた機能のほとんどを取り込んだ。本章では、このデジタル、アナログ混在回路のIC化への実現方法について説明する。

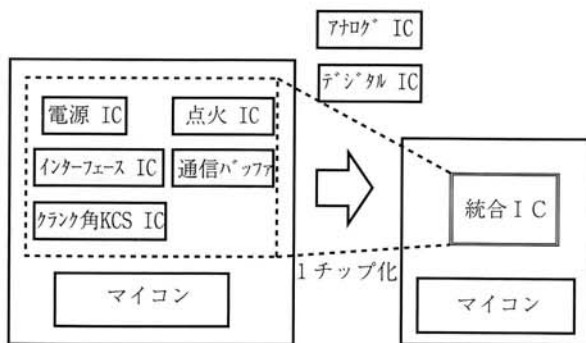


図-1 統合ICの概要

Fig.1 Outline of engine control system LSI

2. 1 統合ICの狙い

統合ICを開発するにあたり、基本コンセプトとして「将来性」と「コスト」を重視した。

2. 1. 1 プロセスの選定

競合他社においてもエンジン制御用統合ICの開発が行われているが、他社では主にBi-CMOSプロセスを使用している。

当社は、表-1のように将来性、コストの面でCMOSプロセスが優位であると判断し、統合ICをCMOSプロセス

表-1 各種プロセスと回路の適合性・特徴

		プロセスの種類		
		バイポーラ	CMOS	Bi-CMOS
適合性	アナログIC	◎	△	○
	デジタルIC	×	◎	○
	デジタル・アナログ混在IC	×	○ (当社)	◎ (他社)
特徴	コスト	◎	○	×
	将来性	△	○	△

で開発することにした。CMOSプロセスはテクノロジーの微細化の進行が速いため集積度の面で非常に優れており、コストパフォーマンスも年々高くなっている。今後もCMOSがICのプロセスの中心となっていくことは間違いないと言える。

当社としては、今後も予測される厳しいコスト競争に対応するために、システム構成上欠かせないマイコンとその周辺機能を一体化することが必要不可欠であり、それを実現するためにも将来性のあるCMOSが最適であると考えた。

唯一問題となったのが、高精度なアナログ回路の実現であったが、これは、新規セルの開発や従来はアナログ処理していた回路のデジタル処理化によって解決した。詳細については後章で説明する。

2. 1. 2 使用プロセスの特徴

統合ICの開発には富士通のQCM(Quickly Customized Microcontroller)の手法を採用した。これは、0.8 μ mプロセスを使用したテクノロジーであり、高速ADコンバータやコンパレータ、オペアンプ等多様なアナログ、デジタルのマクロが用意されている。

2. 2 機能ブロックの概要

本章では、主に個々の機能ブロックの概要について説明する。

2. 2. 1 電源部

電源部はバッテリー電圧を使用部品の定格電源電圧に降圧・安定化する役割を持ち、エンジン制御ECUでは2系統の電源が必要である。以下に機能を示す。

①メイン電源部（以下、VCCと記す）とバックアップ部

VCC電源は、IGスイッチオン時のエンジン制御ECU内のマイコンおよび本ICとその周辺機器にて使用する電源電圧（5V）を供給する。なお、IGスイッチオン時のマイコンへの電圧はバックアップ回路より供給する構成とした。バックアップ回路の動作を図-2に示す。IGスイッチをオンするとVCC電圧は上昇し、これがVDD（下記②ス

タンバイ電源部参照)を超えるとVCCとVDDに接続したトランジスタ(以下、バックアップトランジスタと記す)をオンさせ、これによりVDD電圧はVCC電圧に張り付きながら上昇する。また、従来はバックアップトランジスタを外付け部品としていたが、コスト検討を行った結果、本ICではICに内蔵した。

また、VCC電源の精度は、エンジン制御ECUでの機能であるバッテリー電圧検出用抵抗を無調整化するため、バッテリー変動およびVCC負荷変動時を含めて $\pm 1\%$ (常温)で設計を行った。この理由と設計技法については、3.2.2項のVCC電圧の高精度化にて述べる。

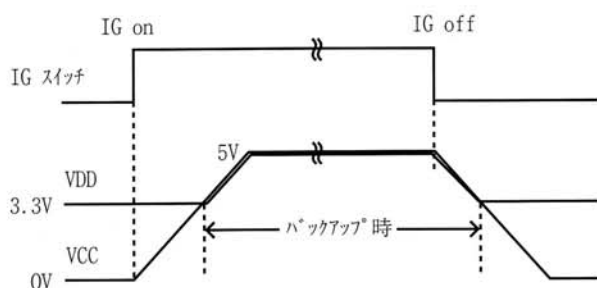


図-2 バックアップ動作
Fig.2 VDD Backup

②スタンバイ電源部(以下、VDDと記す)

エンジン制御ECU内のマイコンには、内部に車両の経年変化情報や学習した制御パラメータ情報を記憶させるスタンバイRAMと呼ばれる低消費電流のリードライトメモリを有している。このスタンバイRAMの電源に使用されるのがVDD電源(3.3V)であり、IGスイッチオフ(エンジン停止)時にもその内容を保持することができる。本回路はスタンバイRAMの内容の保持が目的であり、電源電圧の高精度化は不要であるため、精度 $\pm 5\%$ で設計した。

③基準電源部(以下、VREFと記す)

VREFは、VCC電源やVDD電源、その他回路の基準電源として使用するため、その精度はそのまま電源の精度として現れる。そこで、VCC電圧の高精度化を行う上で、VREF精度は最も重要な項目である。これについては、3.2.2項のVCC電圧高精度化で述べる。

④8V検知回路

本回路は、IGスイッチオン時のバッテリー電圧(+B)の監視を行い、クランキング時(低温にてエンジン始動時にバッテリー電圧が低下する状態)やIGスイッチオフ時のバッテリー電圧低下(8V以下を検知)をマイコンに伝える機能である。マイコンはこの信号が入力されると、自己診

断結果を記憶するスタンバイRAMへの書き込みを禁止し、誤診断を防止する。

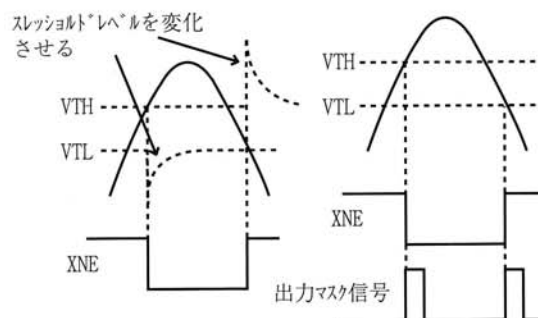
⑤VCC電圧検知回路

IGオン・オフ時あるいはクランキング時にVCC電圧がマイコン定格最低電源電圧以下になると、マイコンが異常動作する可能性があるためリセット機能によりそれを防ぐ。リセット機能には、パワーオンリセット、減電圧リセット、マイコン暴走検知リセットの3種類がある。(詳細については、富士通テン技報Vol.5 No. 1,1987年参照)

従来、リセット部はアナログ回路で構成していたが、本ICではVCC電圧の低下を検出する機能のみアナログ回路にて構成し、マイコンにリセットをかける時間の設定はデジタル回路にて構成した。リセット機能については2.2.6項のリセット部に示す。

2. 2. 2 クランク角信号処理部

クランク角信号処理部は、エンジン回転信号(NE信号)と気筒判別信号(G信号)の2つの信号をコンパレータを用いてゼロクロス検出し、波形整形する。本処理部は、クランク角センサ信号をコンパレータで波形整形するアナログ部と、波形整形時のノイズを除去するためのマスク信号を生成するデジタル部およびG信号のスレッシュホールドレベルを出力する6ビットDAコンバータにより構成される。



a) 従来の方式(タイミックス) b) 本ICの方式(出力マスク)

図-3 出力波形ノイズ除去方法の比較
Fig.3 Noise elimination methods

クランク角信号には点火時のノイズが乗ってくるため、従来のアナログICでは波形整形時にコンデンサ等でノイズ除去対策を行っていた。本ICではデジタル回路による出力マスク機能によりノイズ除去を図った。

従来ICと本ICのノイズ除去方法について図-3に示す。

出力マスク信号は、一定時間内に入力されるNE信号の数をカウントすることにより、エンジン回転数によって

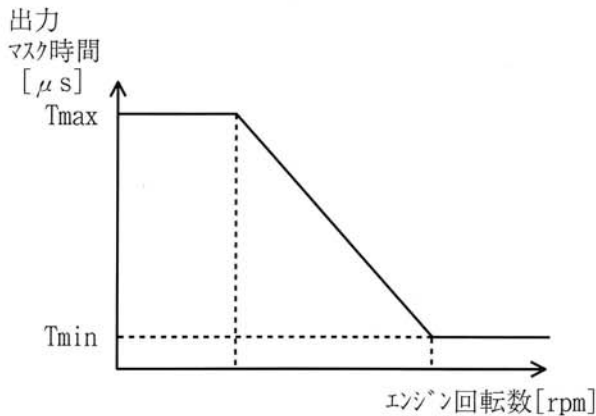


図-4 出力波形ノイズ除去方法の比較

Fig.4 Output masking time vs. engine revolution characteristic

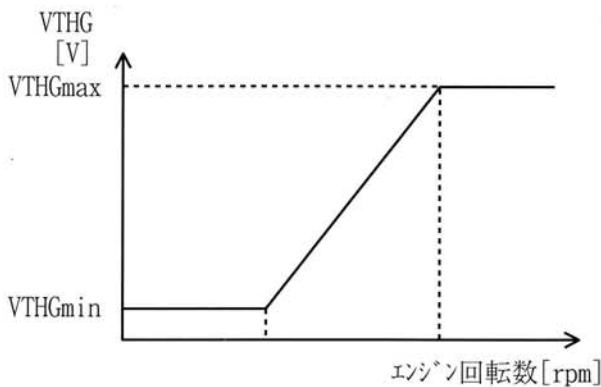


図-5 G信号スレッシュホルド電圧-エンジン回転特性

Fig.5 G Signal Vth vs. engine revolution characteristic

図-4のようにマスク時間を変動させるようにした。また、G信号のスレッシュホルドレベルにエンジン回転数依存性を持たせるため、NE信号の周波数をデジタル回路によるカウンタと6ビットDAコンバータを用い、F/V変換を行うことにより図-5のようなスレッシュホルドレベルの特性を実現した。

2. 2. 3 ノックセンサ信号処理部

ノックセンサ信号処理部は、エンジンがノッキングした時に出力されるノックセンサ信号（以下ノック信号）をピークホールドするピーク検出機能と、センサやセンサ信号線の異常を検出するためのフェイル処理機能で構成される。

従来のICはアナログ回路での精度のよいバイポーラプロセスで構成されていたが、本ICの使用プロセスであるCMOSのアナログ回路では要求される精度を得ることが困難であった。そこで、本ICでは高速ADコンバータとデジタル処理回路およびゲインを確保するためのアンプに

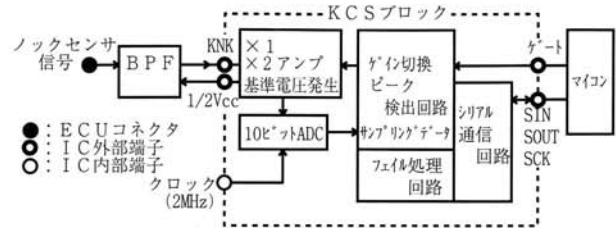


図-6 ノックセンサ信号信号処理部ブロック図

Fig.6 Block diagram of knocking sensor signal processing

より構成することで、精度の確保を図った。図-6に本回路のブロック図を示す。

従来のノック信号処理ICは、コンデンサにノック信号電圧を充電してピークホールドしていた。そのため時定数を持っており、ノック信号の急激な変化には追従できなかった。

本ICでは高速ADコンバータを使用することにより、約5~10kHzの周波数を持つノック信号を500kHzでサンプリングし、デジタル処理でサンプリングした値の最大値をピークホールド値としてマイコンにシリアル転送する方法とした。これにより、ピークホールド値の特性が図-7

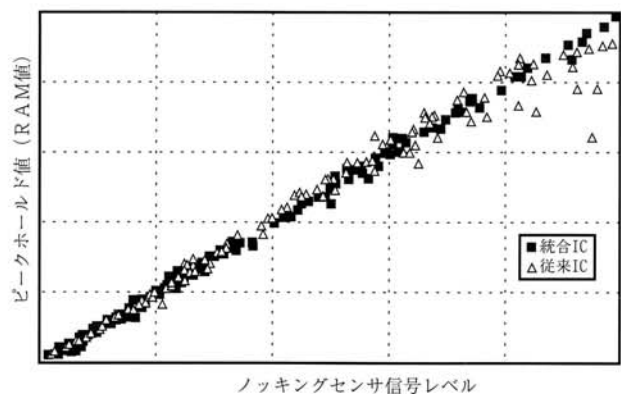


図-7 ピークホールド値特性

Fig.7 Peakhold characteristic

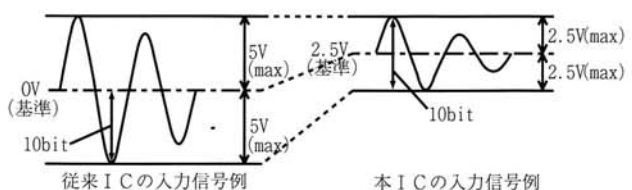


図-8 ダイナミックレンジの比較

Fig.8 Comparison of dynamic range

のように向上した。また、高速サンプリングによる方法は将来のノック検出信号の高周波化にも対応可能である。

従来のアナログ方式では、0V基準で最大±5Vの振幅のノックセンサ信号が入力されており、ピーク値は基準電圧より下側の波形の最低値をとるため5Vのダイナミックレンジを持っていた。本ICの場合は低耐圧のCMOSであるため、入力電圧範囲が0～5Vに制限される。そのため、2.5V基準で最大±2.5Vの振幅のノック信号に減衰させる必要があった(図-8)。

ここではダイナミックレンジが従来の半分になってしまうことになるが、制御上特に高い分解能が要求されるのは小振幅時であるので、ゲイン切り換えという方法を採用した。これは入力信号が小振幅の場合は、オペアンプで信号を2倍に増幅することにより従来と同等の分解能を確保するものである。本機能の概要を図-9に示す。

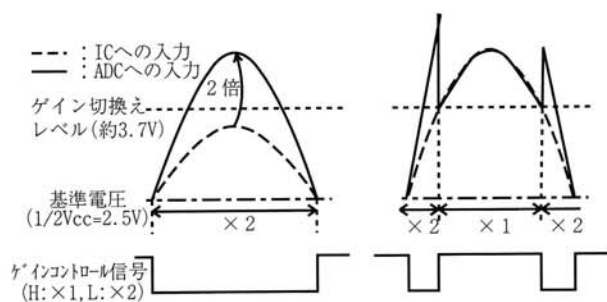


図-9 ノック信号のゲインコントロール

Fig.9 Gain control of knocking sensor signal

2. 2. 4 インターフェース部

インターフェース部は、各種センサ(車速センサ、ス

タータ信号等)からのデジタル入力をマイコンのポート入力仕様に合致するようレベル変換を行う役割をもち、IC機能は以下のとおりである。

①インターフェース回路(3ch内蔵)

インターフェース回路は各種センサからのデジタル入力を非反転で出力しており、入力形式はコンパレータにて構成した。また、各種センサの信号は3ch入力可能である。

②スタータ信号処理回路

スタータ信号処理回路はスタータ信号を非反転で出力しており、入力形式はコンパレータであるが、バッテリー電圧によりスタータ信号の入力レベルが変化するので、コンパレータのスレッシュホールドレベルにバッテリー電圧依存性を持たせる構成とした。

③通信バッファ処理回路

通信バッファ回路はダイアグチェック時にコンピュータとECU内マイコンとのシリアル通信に使用する。

2. 2. 5 点火制御部

点火制御部はESA-A,BとESA-CⅡという両方のクランク角システムに対応できるように、外部端子の設定によりどちらかを選択できるようにした。主に下記のような機能を備えている。

- ①点火モード切り換え制御
- ②点火信号振り分け制御(ESA-CⅡのみ)
- ③クランク角位置検出機能(ESA-CⅡのみ)
- ④スタータSWオン時の制御
- ⑤フューエルポンプ制御

点火モード切り換えとは、マイコンにリセットがかかったことを検出した場合はハード(固定)点火モードとし、マイコンが正常に動作したことを検出したらソフト

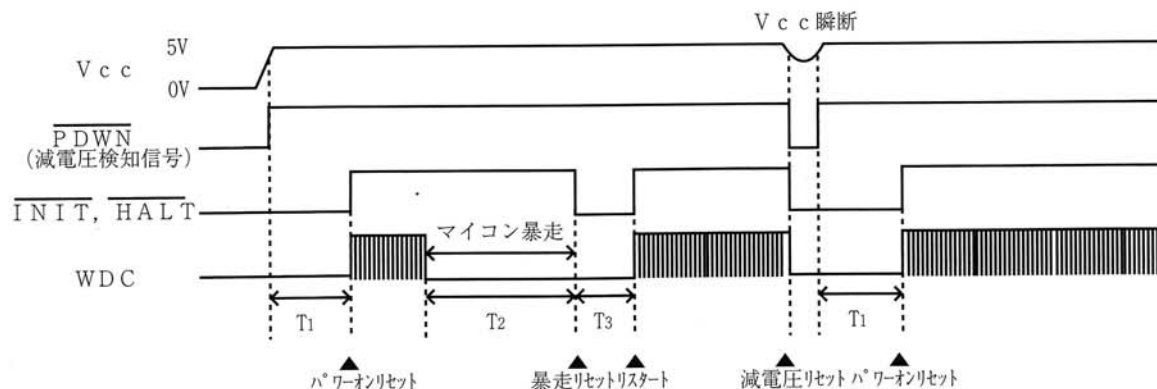


図-10 リセット回路の動作

Fig.10 Reset control sequence

(CPU) 点火モードに切り換える制御である。

2. 2. 6 リセット部

リセット制御部は、電源回路部から出力される減電圧検知信号とタイマによりマイコンをリセットするための 'INIT' 信号およびマイコンのクロック発振を停止させる 'HALT' 信号を制御する回路である。

マイコンをリセットするには二つの条件がある。一つ目は減電圧検知によるリセットである。減電圧を検知したら即マイコンをリセットする。二つ目はウォッチドッグタイマ (以下WDC) の異常である。マイコンが出力するWDC信号を常に監視しており、WDC信号が異常であると判断したら、マイコンをリセットする。

WDC信号が正常に復帰した場合、もしくは減電圧によりマイコンにリセットがかかった後、電源電圧が回復していれば、一定時間後に 'INIT'、'HALT' を解除する (リスタート機能)。

2.2.1項でも述べたとおり、この回路は従来は電源ICに内蔵されていた機能でありアナログ回路で構成されていたが、本ICではデジタル回路で構成した。

上記で説明した動作にはタイマ機能が必要であるが、従来のアナログ回路ではコンデンサの充放電の時間を利用していたので、外付け部品が必要であった。本ICでは内蔵クロックによりタイマを動作させているので外付け部品を削減することができた。図-10に本機能の動作図を示す。

2. 3 IC試験方法 (テスト回路)

本ICでは6種類の機能のデジタル回路ブロックを統合化している。それぞれの機能ブロックの入出力端子は、お互いIC内部で接続されており、それらの信号線はICの外部端子に出ていない場合がある。本ICの試験を行う際に各機能ブロックの端子がICの外部端子に出ていないと、一つのブロックを試験するために、関連する全てのブロックも動作させる必要がある。それには膨大なテストパターンが必要となるうえ全ての機能を試験できないといったケースも生じる。また、試験のために内部信号をわざわざ外部に出すと、端子数が増加しパッケージサイズに影響する。そこで、テスト回路を内蔵することにより外部端子数を増加させることなく、確実に各機能ブロックの試験をできるようにした。

3. 統合ICの設計技法

本章では、統合ICを開発するにあたり工夫した点について述べる。

3. 1 新規セルの開発

現行のQCMライブラリには高精度なアナログ回路を実現できるセルが既存しないため、以下のアナログセルを新規に設計した。

①低オフセットオペアンプ

既存オペアンプのオフセット電圧は $\pm 10\text{mV}$ であるため、レイアウト設計段階にて素子間のマッチングをとり (「たすぎがけ」使用)、オフセット $\pm 7\text{mV}$ 以下の低オフセットオペアンプを新規に設計した。

②ゼロクロスコンパレータとRail-to-Railオペアンプ

既存オペアンプとコンパレータの入力電圧範囲は、 $\text{GND} + 1.25\text{V} \sim \text{電源電圧VCC} - 1.25\text{V}$ である。(例えば、電源 $= 5\text{V}$ の時は、入力電圧範囲 $= 1.25\text{V} \sim 3.75\text{V}$ となる。)そこで、入力 $0\text{V} \sim 3.75\text{V}$ (電源 5V 時) まで動作可能なゼロクロスコンパレータと、入力 $0\text{V} \sim 5\text{V}$ (電源 5V 時) で動作可能なRail-to-Railオペアンプを新規に設計した。

3. 2 電源部の設計

3. 2. 1 低耐圧プロセスでの構成

従来の電源部は耐圧が 35V のバイポーラプロセスを使用していたので、バッテリー電圧 (通常時のバッテリー電圧範囲は $6\text{V} \sim 18\text{V}$) をICに直接接続することが可能であっ

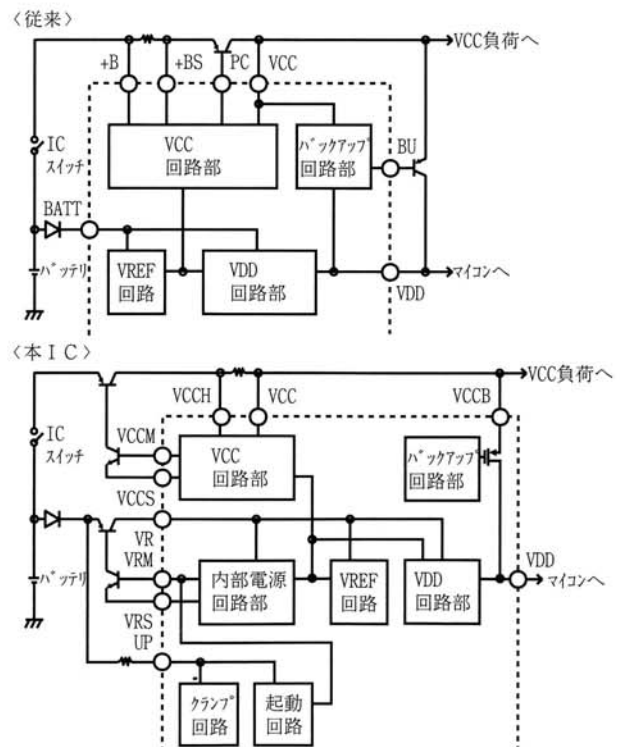


図-11 電源部の構成比較

Fig.11 Schematics of voltage regulator

た。しかし、本ICのプロセスでは耐圧7Vでありバッテリー電圧をIC端子に印加できないため、新規に電源部を構成した。従来構成との比較を図-11に示す。

VCC回路および内部電源（以下、VRと記す）回路に関しては、PNPトランジスタとNPNトランジスタを外付けとし、PNPトランジスタのエミッタおよびベース（NPNトランジスタのコレクタ）に高電圧が印加する構成とした。ここでVR回路とは、本ICの電源部のみに供給される電源であり（出力5V）、VREFやVCC過電流制限回路の電源等に使用している。

従来のVCC過電流制限回路は、VCC制御用PNPトランジスタ（以下、ブーストトランジスタと記す）のエミッタ側に電流値検知用抵抗を接続していた。この構成においては、上記抵抗が接続される端子にはバッテリー電圧が印加される。そこで、本ICではブーストトランジスタのコレクタ側に電流値検知用抵抗を接続する構成に変更し、IC端子への印加電圧低減を図った。

3. 2. 2 VCC電圧の高精度化

VCC電圧を制御するVCCレギュレータを図-12に示す。この回路は、以下の式を満たすように制御を行っている。

$$V_{ref} + V_{of} = R_2 / (R_1 + R_2) \times V_{cc}$$

V_{ref} : 基準電圧（一般的に1.24V）

V_{of} : オペアンプのオフセット電圧

R_1, R_2 : VCC電圧分圧抵抗

上式を V_{cc} について変形すると、下式となる。

$$V_{cc} = (V_{ref} + V_{of}) \times (R_1 + R_2) / R_2$$

よって、VCC電圧の精度（以下 ϵ とする）は下式に示すとおり、3つの精度の合成となる。

$$\epsilon = \epsilon_1 + \epsilon_2 + \epsilon_3$$

ϵ_1 : VREF電圧の精度

ϵ_2 : Vof電圧の精度

ϵ_3 : R_1 と R_2 の比精度

しかし、 ϵ_1 は一般的に $\pm 4\%$ 程度であるため、VCC電圧を例えば $\pm 3\%$ 以下にしたい場合「トリミング法」を用いる。それは、VCC電圧が規格範囲内となるようにVREF電圧を調整する手法である。

本ICでは、2.2.1項にて述べたとおり、VCC精度 $= \pm 1\%$ （常温）が必要であるため、トリミング時の精度は 0.5% に設定した。

以下に、トリミング時に必要なビット数を求める式を示す。

$$\text{必要ビット数} = 1.44 \ln(a/b)$$

a : 工程ばらつき（ここでは上記 ϵ と同じ）

b : 希望する精度

本ICでは、 $a = \epsilon = \pm 10\%$, $\epsilon_1 = \pm 8\%$, $\epsilon_2 = \pm 1\%$, $\epsilon_3 = \pm 1\%$, $b = \pm 0.5\%$ だから、これを上式に代入すると、本ICでの必要ビット数 $= 4.314 \div 5$ ビットとなる。

以上に示すとおり、本ICでは5ビットトリミングを実施し、VCC電圧の精度 $= \pm 1\%$ （常温。バッテリー電圧変動及び負荷変動を含む）を実現した。

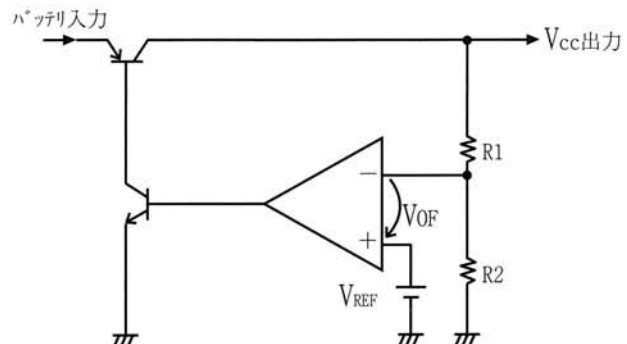


図-12 VCCレギュレータ回路

Fig.12 VCC voltage regulator

3. 2. 3 暗電流低減対策

暗電流とは、エンジン停止時、つまりIGスイッチオフ時のIC消費電流のことであり、これを低減させる目的はバッテリーあがりを防止するためである。この低減を実現するため、IGオフ時は未使用の回路の消費電流をゼロにする構成とし、できるだけ暗電流を低減する対策を行った。これにより、対策後の暗電流は対策前の50%に低減できた。

3. 3 FPGAを用いたデジタル回路検証

従来デジタルICの回路設計評価はCAEでのシミュレーションのみで行ってきた。今回の統合IC開発においては、従来アナログ処理していた回路の多くをデジタル処理に置き換えた。そこで、デジタル回路の検証はシミュレーションだけではなく実際にシステムとして動作させて（エンジンを回して）デジタル処理での制御が成り立つかどうかを検証する必要がある。その方法として、FPGA(Field Programmable Gate Array)を用いたB.B. (Bread Board)による検証を取り入れた。

FPGAはゲートアレイの一種であるが、マスク製作をする必要がないプログラム式なので、設計したロジックをユーザの元で即時IC化できる。

この方法により、ノック信号処理回路、クランク角信号処理回路の実車評価を実施し、これらの回路のデジタル処理による制御が可能であることが判断できた。

また、FPGAによる回路検証は、設計段階でのミスを早期発見することができる。実車評価では、シミュレーションでは考えつかないような特殊な入力条件が重なった場合での動作を検証することができるので、マスクリリースする前に回路不具合を修正することができた。

今回のIC開発では、設計環境が整備されていなかったため、FPGAの設計のために回路図やテストパターンを別のCADに入力し直すといった2度手間が生じた。今後は、verilog-HDLといったハードウェア記述言語による設計手法を採用することにより、図-13のような一元化された設計環境を充実させていく。

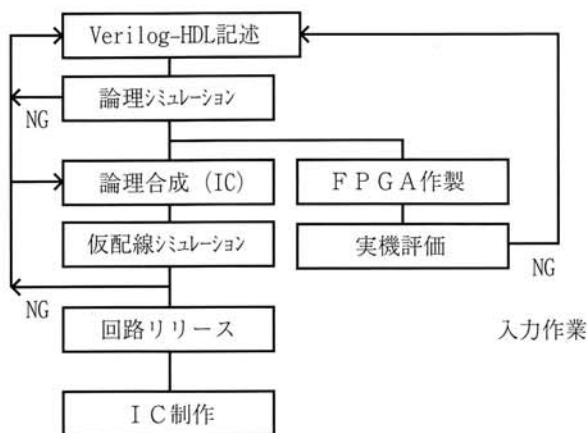


図-13 Verilog-HDLを用いた設計手法
Fig.13 HDL design

4. 今後の展開

4. 1 マイコン一体化

統合ICの今後の展開として、まず第一に考えられるのがマイコンの一体化である。前述したように、本ICのプロセス選定時にCMOSを選択したのは、将来のマイコン一体化を考えてのことである。

近年、「システム オン シリコン」という言葉をよく耳にするようになった。これは従来プリント基板上に実装されていた多数のICを、1つのチップ上に集積するものである。コスト競争が激しい現在、当社が目指すLSIもこの形である。

マイコンに使用されるテクノロジーは年々微細化されており、現在では0.35 μ mプロセスが主流になりつつある。今回開発した統合ICにマイコンを一体化する場合、チップサイズの制約上0.8 μ mプロセスでの開発は困難である。そこで、さらに微細化されたテクノロジーでの開発を

検討する必要がある。その際特にアナログ回路のマッチングが最大の難関である。

また、微細化に伴うマイコンの高速動作化により、輻射ノイズが増加する恐れがある。そこで、輻射ノイズを極力押さえるように十分に考慮した設計を行わなければならない。また、自動車用としての使用を考えると、耐ノイズ性も重要な項目である。0.35 μ mプロセスではデジタル部は電源電圧が3Vでの動作となるため、外来ノイズの影響を受けやすくなると考えられる。この問題を解決するためには今後、ノイズシミュレーションの技術を確立し、設計段階でのノイズ対策の折り込みを充実させていく必要がある。

4. 2 デジタル回路化

第2章でも述べたように、CMOSプロセスはデジタル回路には向いているが、アナログ回路は精度およびチップ面積にてやや問題がある。そこで、本ICでは従来アナログ処理していた回路をデジタル処理に変更した。

今後、マイコンとの一体化を実現するには周辺回路のデジタル化をさらに進める必要がある。

デジタル化のメリットとしては、

- ①マイコンとのインターフェースが容易である。
- ②最新のテクノロジーによるIC開発が可能。
- ③シミュレーションによる検証が比較的容易である。

等があげられる。

反面、次のような問題点もある。

- ①輻射ノイズが増加する。
- ②回路規模が大きくなる可能性がある。

これらに対しては、前項でも述べたようにシミュレーションやハードウェア記述設計の技術力を充実させていくことにより、上記の問題をクリアしながら自動車用に適したLSIの開発を進めていく。それにより、開発期間の短縮、設計品質の向上、設計資産の蓄積とその効果的活用を図っていく。

4. 3 デジアナ混在設計

これまで述べてきたように、本ICはデジタル回路とアナログ回路が混在した構成となっており、今回はそれぞれを別々に設計し、回路シミュレータによりその検証を行った。しかし、例えばA/Dコンバータのようにアナログとデジタルが混在する回路の場合、デジアナ混在回路シミュレータの設計環境の導入検討前であったため、机上設計に頼らざるを得ない状態であった。

そこで、当社では現在、アナログとデジタル混在の回路シミュレーション可能な設計ツールの導入および高級

言語を用いたシミュレーション環境の構築を検討中である。表-2に導入検討中の設計ツールを示す。

表-2 導入検討中の設計ツール

	現在	導入検討ツール
アナログ	Spice系回路シミュレーション(Hspice)	Verilog-A SpectreHDL HspiceHDLA VHDL-A(Saber)
デジタル	富士通論理回路シミュレータ (ViewCAD)	HDL(VerilogHDL・・・導入済) VHDL(Leapfrog)

5. あとがき

今回開発した「統合IC」は1997年より量産を開始する。本ICの採用により、エンジンコントロールECUの大幅なコストダウンが可能となった。

本ICの開発により、CMOSプロセスでのアナログ回路設計技術がほぼ確立できたと考える。また、制御方式のデジタル化についてもその可能性が実証され、これらの設計技法と設計資産を活用することにより、今後の大規模なデジ・アナ混在LSIの開発を促進することができる。

筆者紹介

花澤 敏夫(はなざわ としお)



1974年富士通(株)入社。以来アナログICの開発に従事。現在富士通VLSI(株)第一LSI開発部第三LSI設計部担当部長。

安河内 克之(やすこうち かつゆき)



1983年富士通VLSI(株)入社。以来アナログICの開発に従事。現在富士通VLSI(株)第一LSI開発部第三LSI設計部ACプロジェクト在籍。

福田 照久(ふくだ てるひさ)



1991年入社。以来自動車用LSIの開発に従事。現在LSI開発部設計プロジェクト課在籍。

笠目 知秀(かさめ ともひで)



1985年入社。以来自動車用LSIの開発に従事。現在LSI開発部CPUプロジェクト課在籍。富士通川崎工場出向中。

藤本 正彦(ふじもと まさひこ)



1982年入社。以来モータロニクス機器の開発に従事。現在LSI開発部設計プロジェクト課長。

自動車用電子機器の小型・軽量化、低コスト化の要求は今後もますます強くなると思われる。さらに今後は車載用マルチメディア機器の需要も増加していくことにより、その方面での競争も激しくなるであろう。

当社としては、本ICの開発で学んだ設計技術を、自動車用電子機器に限らずカーオーディオやマルチメディア機器といった分野で活用していくことにより、時代にマッチしたLSIの開発をタイムリーに行い、顧客のニーズに応えていきたい。

最後に、本開発にあたり、多大なご協力をいただいた富士通VLSI株式会社をはじめ、関係各位に対し、深く感謝の意を表する次第である。

[参考文献]

- 1) 藤本・西山・橋川：“カーエレクトロニクス用カスタムIC”、富士通テン技報Vol.5 No.1, PP65-77 (1987)