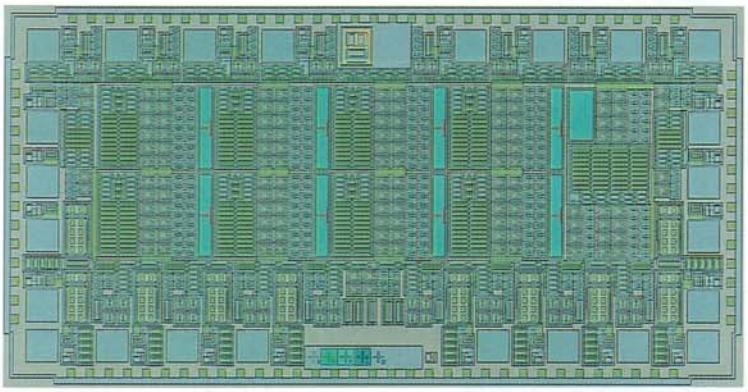
自動車用アナログマスタ（ATOMIC）

Automotive Analog Master Slice IC

花澤　敏夫　Toshio Hanazawa
伊藤　秀信　Hidenobu Ito
室田　和明　*Kazuaki Murota*
小松　和弘　*Kazuhiro Komatsu*
田中　滋子　*Shigeko Tanaka*
藤本　正彦　*Masahiko Fujimoto*



要　　旨

自動車用電子機器の開発において、専用ＩＣは欠くことのできないものであり、開発効果の高いＩＣを早期に企画し、短期間で開発することが重要になっている。

当社では、専用アナログＩＣの開発を短期間・低コストで行うため、富士通と共同で自動車用アナログマスタ（ＡＴＯＭＩＣ）を開発した。そして、これを用いて、ＥＦＩ（Electronic Fuel Injection）用の専用ＩＣを２品種開発し、1996年１月より量産を行う。本稿では、ＡＴＯＭＩＣの仕様と特徴およびその設計技法について述べ、製品化の例として、「クランク角・ノック信号処理ＩＣ」を紹介する。

Abstract

It is indispensable in developing automotive electronic control equipment to introduce and utilize specific ICs. And proper planing and quick development is a key to success.

Aiming at short turn-around-time and cost effectiveness, we developed an analog masterslice IC(ATOMIC) specified for automobile application in cooperation with Fujitsu Limited. Using this core, we have developed two ICs for engine management unit and put them into mass production in January 1996.

Design concept and specifications of the IC are described here and two ICs, i.e. engine revolution sensor signal processing and knocking sensor signal processing IC, are introduced as an example of the 'ATOMIC' application.

1．まえがき

近年、自動車用電子機器は、高機能・高性能化が進む一方、小型・軽量化、低コスト化の要求が強くなっている。専用ＩＣの開発はこれを実現するのに欠くことのできないものとなっており、開発効果の高いＩＣを早期に企画し、短期間で開発することが重要になっている。しかし、専用ＩＣの開発には高額な開発費用が必要な上、企画からサンプル入手・評価までには約１年の開発期間を必要とする。さらに、専用ＩＣでは、汎用ＩＣほど量産効果が得られないため、低価格化にも限界がある。

当社では、これらの問題を解決する手段としてマスタースライス方式というＩＣ開発手法に着目し、これを自動車用アナログＩＣに適用した自動車用アナログマスタ（ＡＴＯＭＩＣ）を富士通と共同開発した。

本稿では、ＡＴＯＭＩＣの仕様と特徴およびその設計技法について述べ、製品化の例として、「クランク角・ノック信号処理ＩＣ」を紹介する。

2．自動車用ＩＣの使用環境とその対応

自動車用電子機器は、表-1に示すような過酷な環境の中で使用される。そのため、自動車用ＩＣは、一般の民生用ＩＣに比べ高い品質が要求され、これを確認するために、厳しい環境試験や電気雑音試験が行われる。ここで、環境条件がＩＣへ与える影響について説明する。

2．1　温度の影響

温度変化により、トランジスタのベース－エミッタ間電圧（VBE）や電流増幅率（hFE)、抵抗値などが変化する。また、高温になるとＰＮ接合の逆方向リーク電流が増大し、回路動作を不安定にするなどの問題が発生する。自動車用ＩＣは、使用温度範囲が広いため、素子特性が変化しても安定に動作するような回路を設計する必要がある。

表-1　自動車用ICの使用環境

(1) 温度環境

設置場所	使用温度範囲
車室内	-40　～　85℃
エンジンルーム内	-40　～　125℃

民生用ICの使用温度範囲は　0　～　70℃

(2) 電気雑音環境

雑音名	耐量基準
ロードダンプ	＋110 V　（τ=188ms）
イグニッションノイズ	＋ 80 V　（τ= 52ms）
フィールドディケイ	－100 V　（τ= 20ms）
ＥＳＤ	±25 kV　(150Ω,150pF)
ＥＭＩ	200 V/m

注）　ＥＳＤ : ElectroStatic Discharge
　　ＥＭＩ : ElectroMagnetic Interference

2．2　サージノイズの影響

表-1に示す電気雑音は、主にバッテリ電源や各種センサ信号のハーネスを通してＩＣの端子に入ってくる。通常、ＩＣの耐圧は、特殊な用途に使用されるものを除けば60Ｖ程度までなので、ロードダンプやイグニッションノイズなどの正過電圧サージがＩＣの端子に直接印加されると、ＩＣは特性劣化やブレークダウン破壊を起こす。

一般のバイポーラＩＣは、図-1のような構造になっている。Ｐ型基板（サブストレート）上にＮ型のエピタキシャル成長層（Ｎエピ）を形成し、Ｐ型のアイソレーション層により素子間を分離する。Ｐ型のサブストレートおよびアイソレーション層をＩＣの最低電位に接続し、素子形成領域であるＮエピとの間に形成されるＰＮ接合を逆バイアスすることにより素子間の電気的絶縁を行っている。

フィールドディケイなどの負サージノイズによりＩＣの端子に負電圧が印加された場合の動作を図-2により説

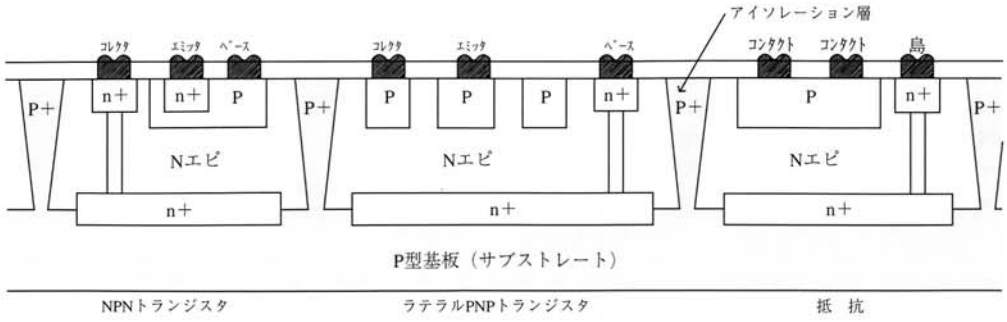


図-1　バイポーラICの構造
Fig.1 Device structure of bipolar IC

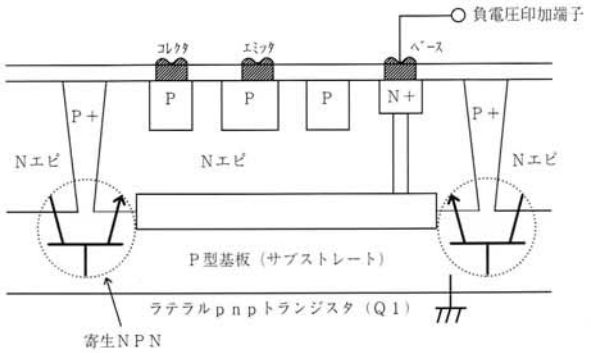


図-2　寄生NPNトランジスタ
Fig.2 Parasitic npn transistors

明する。ＮＰＮトランジスタのコレクタやＰＮＰトランジスタのベースなどの領域となるＮエピと、Ｐ型サブストレート間には、点線で示す寄生ＮＰＮトランジスタが存在する。通常、Ｐ型サブストレートはＩＣの最低電位に接続されるため、この寄生ＮＰＮトランジスタは動作しない。しかし、たとえば、ＰＮＰトランジスタＱ１のベースにサブストレート電位より低い電圧が印加し、その電圧が寄生ＮＰＮトランジスタのベース－エミッタ間障壁電圧（約0.7V）より大きいと、寄生ＮＰＮトランジスタが動作し、近接するＮエピ領域より電流を引き抜いて回路の誤動作を引き起こす。

このため、自動車用ＩＣでは、このような正負サージノイズによる破壊や誤動作を防止するため、ＩＣの内部または外部に保護回路を設けている。(図-3参照)

バッテリ電源ラインのサージノイズに対しては、一般に電源ラインにパワーツェナーダイオードを接続してサージを吸収する方法がとられている。

センサ等の入力信号ラインのサージノイズに対しては、サージの印加する端子にサージ保護用のクランプ回路を設け、入力ラインと端子間に保護抵抗を挿入することにより、ＩＣの端子電圧が規定値以上または規定値以下にならないようにしている。

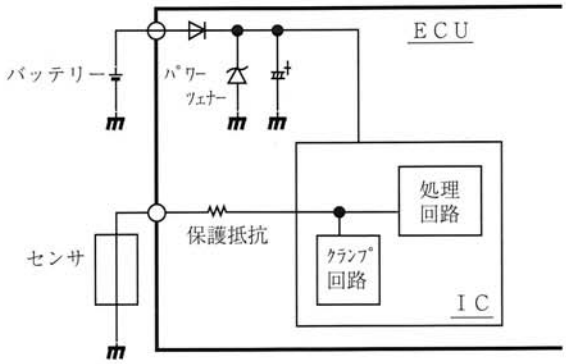


図-3　サージノイズ保護回路
Fig.3 Surge noise protection circuits

３．ＡＴＯＭＩＣ開発の狙い

ＡＴＯＭＩＣの開発は、専用アナログＩＣの開発を短期間・低コストで行うことを目的としている。これを実現するために、ＡＴＯＭＩＣに適用したマスタースライス方式の特長について述べる。

３．１　アナログマスタースライスとは

アナログマスタースライスとは、ＩＣの製造工程のうちトランジスタや抵抗などの素子作り込みを行う拡散工程までの部分を共通とし、コンタクト工程と配線工程で抵抗値と回路配線を変えることにより、顧客の望む機能を持った専用アナログＩＣを作る方法である。ＩＣの製造工程のすべてを品種ごとに行うフルカスタムＩＣに対し、一部を多品種共通化することから、ゲートアレイなどと同じセミカスタムＩＣに属する。

３．２　アナログマスタースライスの特長

アナログマスタースライスでは、トランジスタや抵抗などがあらかじめ作り込まれたウェハ（これをバルクと呼ぶ）を用いて個々のＩＣを作る。そのため、個々のＩＣの開発にあたっては、コンタクト工程と配線工程だけを行えばよいので、開発期間が短く、開発費用もフルカスタムに比べ割安になる。また、バルクが共通であることから、個々の品種の量産数量が少なくても、開発品種数が多ければ量産効果が期待でき、フルカスタムに比べＩＣ単価も安くできる。しかし、１個のチップに内蔵されている素子の種類や数量が決まっているので、実現できる機能や回路規模に限界がある。表-2は、アナログマスタースライスとフルカスタムの特徴を比較したものである。

表-2　アナログマスタースライスとフルカスタムの比較

	フルカスタム	アナログマスタースライス
製造工程	全工程を品種ごとに行う。	配線工程のみ品種ごとに行う。
開発期間	長　い	短　い
開発費用	高　い	安　い
生産指向	単一品種多数生産	多品種少量生産
回路規模	自　由	内臓素子と数が決まっており、限界がある。
性　　能	自　由	

4．ＡＴＯＭＩＣの概要

4．1　ＡＴＯＭＩＣの特徴

（1）自動車用アナログＩＣが短期間・低コストで開発できる。
（回路設計開始からサンプル入手まで約４ヶ月）

（2）自動車用、特にセンサ信号処理用として使いやすいチップ仕様になっている。

（3）チップを４種のブロック（マクロセルブロック、電源ブロック、入力ブロック、出力ブロック）で構成している。

（4）自動車用として使用頻度の高い機能回路をセル化し、ライブラリ登録している。

4．2　仕様概要

（1）プロセス　　バイポーラ　15Ｖ耐圧
（2）配　　線　　アルミ　２層
（3）チップサイズ　3.8mm × 2.0mm
（4）パッド数　　24個
（5）内蔵素子数　　1122個

4．2．1　チップレイアウト

ＡＴＯＭＩＣの仕様において最も特徴的なことは、図-4のようにチップが４種のブロックで構成されていることである。

（1）マクロセルブロック

チップの中央に８ブロックあり、オペアンプ、コンパレータやその応用回路などの各種機能回路を構成できる。ＩＣの特徴的回路である差動入力回路やカレントミラーに適するようにトランジスタや抵抗を規則正しく配置し、素子の整合性を高めている。

（2）電源ブロック

温度安定性に優れたバンドギャップ型基準電圧回路が構成できる。この回路はその特性（出力電圧精度や温度安定性）が素子配置や配線パターンの影響を受けやすいため、専用のブロックを設けることにした。基準電圧回路を使用しない場合は、他の機能回路に使用する。

（3）入力ブロック

チップ周辺に８ブロックあり、大電流ＮＰＮトランジスタと大電流ＰＮＰトランジスタを内蔵し、正負サージ保護クランプ回路付きの入力回路が構成できる。また、用途によっては、10mA程度の電流を駆動する出力回路にも使用できる。

（4）出力ブロック

チップ周辺に８ブロックあり、大電流ＮＰＮトランジスタを内蔵している。マイコンとのインターフェイスに使用する出力回路やオープンコレクタ出力回路が構成できる。

また、大電流の流れる入力ブロックと出力ブロックをチップ周辺に配置することで、配線抵抗の影響を小さくし、両ブロックをチップの対辺に配置することで、入出力間の干渉を防いでいる。

4．2．2　耐圧

耐圧は、実現できる機能や用途だけでなくコストをも左右する重要な要因である。自動車用電子機器には、２章で述べたように 100Ｖ程度の正サージが印加される。一般にはパワーツェナーダイオードを用いて電源ラインの上昇を30Ｖ程度に抑えており、そのため、自動車用ア

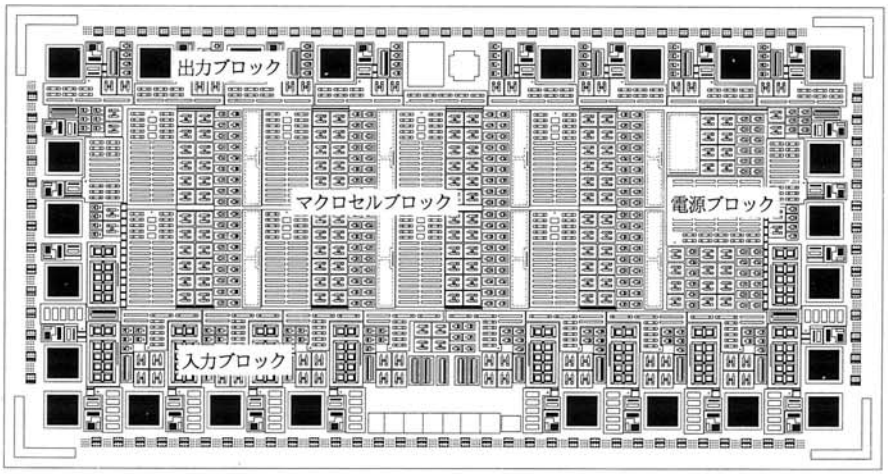


図-4　チップレイアウト
Fig.4 Chip layout

ナログＩＣには、35Ｖ程度の耐圧のプロセスが多く使用されている。

ＩＣの耐圧を上げるためには、図-5の矢印の間隔を広げる必要があり、これにより素子面積は大きくなる。同一プロセスで耐圧を変える場合、35Ｖ耐圧の素子面積は15Ｖ耐圧の場合の３倍程度になる。素子面積が大きくなるとチップサイズが大きくなり、コストアップとなる。また、自動車用電子機器は、高機能・高性能を実現するためマイコン制御が主流になっている。マイコンは、その耐圧が７Ｖ程度と低いため、電圧レギュレータにより、バッテリ電圧（14Ｖ程度）をＶＣＣ（５Ｖ程度）に降圧し、これを電源としている。アナログＩＣでもＶＣＣを電源とするものが多く、特に、各種センサの信号処理用ＩＣの多くはＶＣＣを電源としており、当社でもこのようなＩＣを多数開発してきた。

今回は、開発数の多いセンサ信号処理用ＩＣにターゲットを絞り、電圧レギュレータの異常でＩＣにバッテリ電圧がかかった場合のフェイルセーフを考慮して、耐圧を15Ｖとした。

４．２．３　内蔵素子数と素子使用率

表-3に、内蔵素子の一覧と素子特性の概要を示す。内蔵素子数は、1122個であるが、アナログマスタースライスの場合アルミ配線の領域を確保する必要があるため、実際に使用できる素子数は全体の70％程度である。

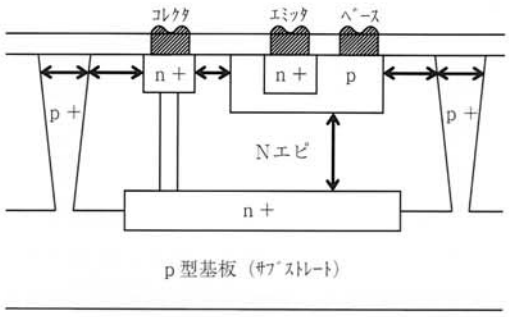


図-5　NPNトランジスタの構造
Fig.5 Device structure of npn transistor

４．２．４　搭載パッケージ

表-4は、ＡＴＯＭＩＣで使用できるパッケージの一覧である。チップサイズの小型化をはかったため、小型パッケージへの搭載が可能となった。

５．ＡＴＯＭＩＣを用いたＩＣの設計技法

ＡＴＯＭＩＣは、設計の効率化と設計品質の向上をはかるため、次のような設計技法を用いて個々のＩＣの設計を行う。

５．１　マクロセル方式

マクロセル方式とは、汎用性の高い種々の機能回路を

表-3　内蔵素子と素子特性

(1) 内蔵素子一覧

種類		NPNトランジスタ		PNPトランジスタ		低抵抗		高抵抗		コンデンサ	ESD素子
ブロック名	内臓数	NPN1	NPN10	PNP1	PNP5	500Ω	5kΩ	20kΩ	50kΩ		
マクロセル	8	18	0	12	0	3	24	10	0	1（8pF）	0
電源	1	30	0	20	0	0	40	10	0	1（10pF）	0
入力	8	5	1	4	1	5	2	5	2	0	2
出力	8	4	1	2	0	0	6	3	0	0	2
その他	1	26	9	12	2	10	13	29	0	0	16
小計		272	25	176	10	74	309	183	16	9（74pF）	48
		483				582（6042kΩ）					
合計		1122									

(2) トランジスタの素子特性

項目	記号	NPNトランジスタ		PNPトランジスタ		単位
		NPN1	NPN10	PNP1	PNP5	
最大コレクタ電流	ICmax	0.7	10	0.3	5	mA
電流増幅率	HFE	120 typ.		100 typ.	20 typ.	−

(3) 抵抗の素子特性

項目	低抵抗	高抵抗	単位
シート抵抗	500	4000	Ω／□
温度係数	1300	4000	ppm/℃

表-4　搭載パッケージ

	14PIN	16PIN	18PIN	20PIN	22PIN	24PIN
DIP	○	○	○	○	○	○
SOP		○		○		○
SSOP				○		○

セルとしてあらかじめ設計しておき、それらを組み合わせて個々のＩＣを設計する手法である。個々のセルはすでに回路特性が検証されており、その回路図とレイアウト図はセルライブラリに登録されている。

この手法は、デジタルＩＣで一般的に用いられており、最近はアナログＩＣの設計にも取り入れられている。しかし、自動車用ＩＣは、一般のＩＣでは使用されないような特殊な機能が多く、従来は、これらの回路を新規設計する必要があった。

ＡＴＯＭＩＣでは、オペアンプ、コンパレータなどの一般的な回路だけでなく、サージ保護用クランプ回路など自動車用ＩＣ特有の回路もセルとして登録しており、これらを活用することで、設計の効率化と設計品質の向上をはかっている。

５．２　ＴＥＧの作製

ＴＥＧ（Test Element Group）は、素子や回路の特性を評価するためのＩＣで、ＡＴＯＭＩＣのバルクを用いて製品と同一工程で作製されている。したがって、バルクに内蔵している素子やセルとして登録している回路の特性、さらにそれらを組み合わせて実現する機能回路の特性をＩＣ化した状態とほぼ同一の条件で評価することができる。表-5にＴＥＧの種類を示す。

５．３　回路設計

回路設計段階では、ＳＰＩＣＥというソフトウェアを用いて回路シミュレーションを行い、回路特性を確認する。シミュレーションには、ＴＥＧ１～４のトランジスタアレイを用いて抽出した素子パラメータを使用する。また、必要に応じて、ＴＥＧを用いてブレッドボードを作製し、使用するシステムに接続して動作させ、システムとの適合性を確認する。ＡＴＯＭＩＣでは、自動車用として使用頻度が高く、汎用性のある回路を回路ＴＥＧとしてＩＣ化しているため、これを活用することにより、ブレッドボードの作製・評価を短期間で行うことができる。

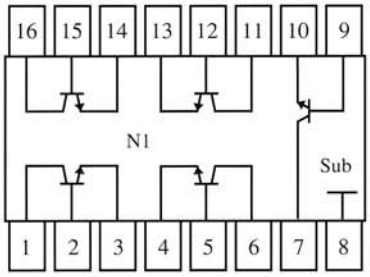
５．４　レイアウト設計

ＡＴＯＭＩＣは、マスタースライスＩＣであるため、セルライブラリに登録されているレイアウト図は配線パターン（アルミ配線とコンタクト窓）だけである。レイアウト設計では、チップの各ブロック上にセルの配線パターンを重ねて置き、セル間を回路図どおりに接続するだけでよいため、短期間で設計が完了する。

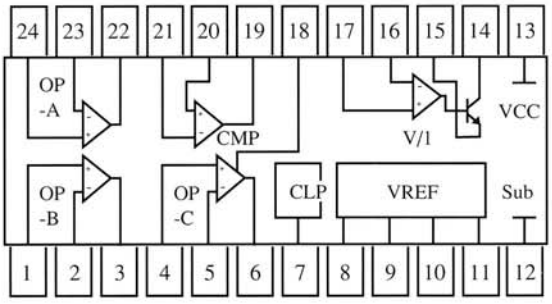
レイアウトが完了すると、回路図とレイアウトの自動照合（ＬＶＳ）や配線パターンの幅や間隔が設計ルールを満足しているかの確認（ＤＲＣ）を行う。これらの自動チェックにより、設計品質が確保できる。

表-5　TEGの種類

種　類	名　称	内臓機能
ﾄﾗﾝｼﾞｽﾀ ｱﾚｲ	TEG 1	NPN1 5個
	TEG 2	PNP1 5個
	TEG 3	PNP1(ﾏﾙﾁｺﾚｸﾀ) 4個
	TEG 4	NPN10 2個　PNP5 2個
ﾏｸﾛｾﾙ ｱﾚｲ	TEG 11	ｵﾍﾟｱﾝﾌﾟ 3種　ｺﾝﾊﾟﾚｰﾀ 1種 基準電圧 1種　V/I 変換 1種 ｸﾗﾝﾌﾟ回路 1種
	TEG 12	差動入力回路 4種　出力回路 2種



TEGI



TEG11

図-6　TEGの端子配列
Fig.6 Pin assignment

６．製品化の例

当社では、ＡＴＯＭＩＣを用いてＥＦＩ用の専用ＩＣ２品種（「クランク角・ノック信号処理ＩＣ」、「インターフェイスＩＣ」）を開発した。本章では、製品化の例として「クランク角・ノック信号処理ＩＣ」について紹介する。

６．１　クランク角・ノック信号処理ＩＣ

本ＩＣのブロック図を図-7を示す。

本ＩＣは、マグネティックピックアップ方式のエンジン回転センサ（クランク角信号処理部）と、共振型ノックセンサ（ノック信号処理部）の信号処理を行い、マイコンへ出力するＩＣである。

６．１．１　クランク角信号処理部

クランク角信号処理部は、エンジン回転信号（ＮＥ信号）と気筒判別信号（Ｇ信号）の２つの信号をヒステリシス付きコンパレータを用いてゼロクロス検出し、波形整形する。

ＮＥ信号処理回路には、スレッショルドレベルがバッテリ電圧に依存して変化するように電圧変換回路を設けている。Ｇ信号処理回路には、スレッショルドレベルがＮＥ信号の周波数に依存して変化するようにＦ／Ｖ変換回路を設けている。また、ＮＥ、Ｇ信号ラインのサージノイズに対応するため、ＮＥ、Ｇ入力端子にクランプ回路を設けている。

６．１．２　ノック信号処理部

ノック信号処理部は、エンジンがノッキングした時に出力されるノックセンサ信号をピークホールドするピーク出力回路と　センサ信号の積分値を出力してシステムの異常検出を行うフェイル出力回路で構成される。ノック信号入力端子には、クランプ回路を設けている。

６．１．３　チップレイアウト

図-8は、本ＩＣの各機能ブロックをチップ上にどのように配置したかを示したものである。

入力ブロック、出力ブロックには、主に、クランプ回路、出力回路を配置し、電源ブロックには、基準電圧回路を配置している。また、ＮＥ、Ｇ信号のコンパレータ、ピークホールド回路などはマクロセルブロックで構成し、Ｆ／Ｖ変換回路は回路規模が大きいためマクロセルブロック３個を用いて構成している。

本ＩＣの使用素子数は 710素子で、素子使用率は63％程度である。

７．あとがき

今回開発した２品種のＥＦＩ用ＩＣは、1996年より量産を開始する。これらＩＣの採用により、ＥＦＩ入力部の小型化・コストダウンが可能となった。

ＡＴＯＭＩＣは、実現できる機能や回路規模に限界があるが、製品化の例に示したような小・中規模の機能ブロックのＩＣ化には適している。今後、センサとその処理回路を一体化したインテリジェントセンサの製品化が

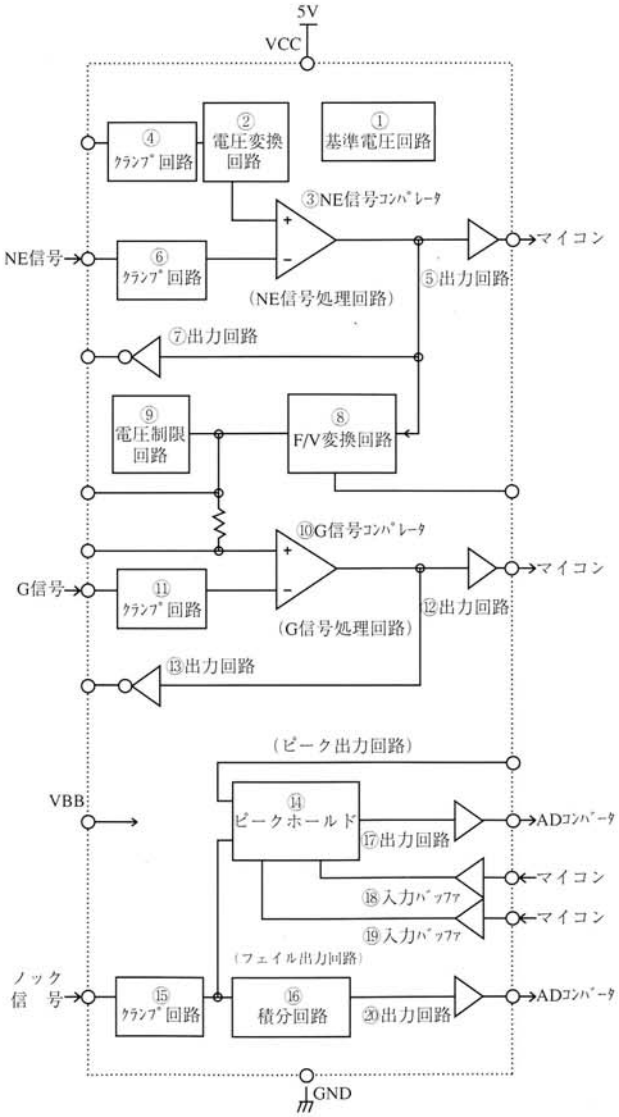
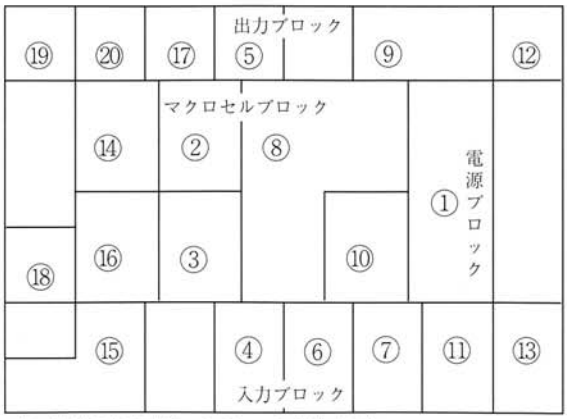


図-7　ブロック図
Fig.7 Block diagram



注）図中の番号は図-7のブロック番号を示す。

図-8　チップレイアウト
Fig.8 Chip layout

進むと思われるが、このような製品には有効である。

また、開発段階の新規システムの場合、量産時期や数量が不明確で、仕様も流動的であるため、多額の開発費をかけてフルカスタムＩＣを開発することは大きなリスクとなる。ＡＴＯＭＩＣは、開発費が安価なので手軽に専用ＩＣの開発ができ、開発期間が短いため仕様変更にも即座に対応できる。ＡＴＯＭＩＣの活用は、新規システムの早期量産化を実現するための有効な手段と言える。

自動車用電子機器の小型・軽量化、低コスト化の要求は今後もますます強まっていくと思われる。特に、ＥＦＩ、エアバッグ、ＡＢＳ（アンチロックブレーキシステム）など標準装備が進むシステムではその要求はきびしい。このようなシステムでは、ＩＣは大規模化し、デジタル・アナログの混在化やマイコンと周辺回路を一体化したシステムＬＳＩ化が進むと考えられる。

専用ＩＣの開発は、今後、大規模ＬＳＩとＡＴＯＭＩＣやゲートアレイなど短期間・低コストで開発できるセミカスタムＩＣの２つの方向に分かれていくと考えられる。当社も、時代にマッチしたＬＳＩの開発をタイムリーに行い、顧客のニーズに応えていきたい。

最後に、本開発にあたり、多大なご協力をいただいた富士通ＶＬＳＩ株式会社をはじめ、関係各位に対し、深く感謝の意を表する次第である。

参考文献

1）　藤本、西山、橋川：”カーエレクトロニクス用カスタムＩＣ”、富士通テン技報、Vol.5 No1,pp65-77（1987）

筆者紹介

花澤　敏夫（ﾊﾅｻﾞﾜ　ﾄｼｵ）

1974年富士通㈱入社。以来アナログＩＣの開発に従事。現在富士通VLSI㈱第三ＬＳＩ設計部プロジェクト課長。

伊藤　秀信（ｲﾄｳ　ﾋﾃﾞﾉﾌﾞ）

1985年富士通VLSI㈱入社。以来アナログＩＣの開発に従事。現在第三ＬＳＩ設計部在籍。

室田　和明（ﾑﾛﾀ　ｶｽﾞｱｷ）

1984年富士通テン入社。以来自動車用ＬＳＩの開発に従事。現在ＬＳＩ開発部第一開発課在籍。

小松　和弘（ｺﾏﾂ　ｶｽﾞﾋﾛ）

1992年富士通テン入社。以来自動車用ＬＳＩの開発に従事。現在ＬＳＩ開発部第一開発課在籍。

田中　滋子（ﾀﾅｶ　ｼｹﾞｺ）

1993年富士通テン入社以来自動車用ＬＳＩの開発に従事。現在ＬＳＩ開発部第一開発課在籍。

藤本　正彦（ﾌｼﾞﾓﾄ　ﾏｻﾋｺ）

1982年富士通テン入社。以来エンジン制御ハード／ソフト開発に従事。現在ＬＳＩ開発部第一開発課長。