

Δ - Σ 変調型 A/D変換器

A/D Converters with Delta-Sigma Modulators

上村正継⁽¹⁾ 藤本昇治⁽²⁾
Masatsugu Kamimura Shoji Fujimoto

要 旨

本稿では、オーバ・サンプリング方式の A/D 変換器 (Δ - Σ 変調型) について論じている。第 1 章では、オーバ・サンプリング方式の A/D 変換器が注目されるようになった背景について論じている。第 2 章では、 Δ 変調の構成と特性について述べ、その発展形として Δ - Σ 変調を論じ、動作原理と量子化雑音の分布から、オーディオ用途として必要となるオーバ・サンプル比を示している。第 3 章では、 Δ - Σ 変調器の後段に置かれるデシメーション・フィルタについて論じ、その構成がフィルタの実現性や特性に影響することを示している。第 4 章では、 Δ - Σ 変調器を用いた A/D 変換器の基本構成について述べ、2重積分型 Δ - Σ 変調器を用いた 32 倍オーバ・サンプリング A/D 変換器を例にとり、 Δ - Σ 変調器の回路構成と動作、1/8 デシメーション・フィルタの具体的構成を示している。第 5 章では、 Δ - Σ 変調器の今後の展望について簡単に述べている。

This paper describes over-sampled A/D converters (with delta-sigma modulators). Section 1 outlines the background with which over-sampled A/D converters have come to draw attention. Section 2 presents the constitution and characteristics of delta modulator and introduces delta-sigma modulator as a developed form of the delta modulator. The over-sampling ratio required for audio application is defined on the basis of the operation principle and quantization noise distribution. Section 3 describes a decimation filter connected after the delta-sigma modulator, indicating that the filter construction gives influence on the realization feasibility and characteristic of the filter itself. The basic construction of an A/D converter with a delta-sigma modulator is presented in section 4. The circuit construction and operation of a delta-sigma modulator and the specific construction of a 1/8 decimation filter are shown, referring at a 32-fold over-sampled A/D converter with a double integration delta-sigma modulator as an example. The future prospect for the delta-sigma modulator is summarized in section 5.

(1), (2) 第一開発部

1. ま え が き

CMOS技術の微細化に伴って、ディジタルLSIの集積度が上がっていきなで、オーディオの分野においてもディジタル化が進み、入力部に必須のアナログ・ディジタル変換器（A/D変換器）がシステムの特性を決定する大きなファクタとして重要視されている。

また、CD・DAT等のディジタル・オーディオの普及により、16ビット以上の高精度A/D変換器の需要が高まっている。

現在主流の逐次比較型A/D変換器は、アナログ回路の規模が大きく、精度を上げるためにはトリミングが不可欠であり、コストアップの要因となっている。また、設計ルールが $1\sim 2\mu\text{m}$ となっている現在、トリミングによって今以上高精度を得るのは困難である。

これらの問題を解決するものとして、オーバー・サンプリング方式のA/D変換器が脚光を浴びている。

オーバー・サンプリング方式のA/D変換システムは、図-1の構成をとる。サンプリング周波数が信号周波数の上限よりもかなり高いので、プレ・フィルタは、信号周波数の上限からなだらかに減衰する特性であればよく、つまり、そのアナログ・フィルタは、素子精度に対する要求も緩い低次のもので良いことになる。

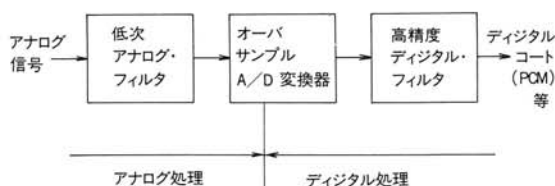


図-1 オーバ・サンプリング方式 A/D 変換システム
Fig. 1 Over-sampled A to D conversion system.

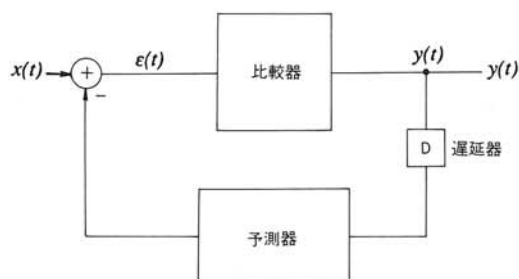


図-2 Δ変調器の基本構成
Fig. 2 Block diagram of a delta modulator.

従来型の例えば逐次比較型のものでも、サンプリング周波数を上げればアナログ・フィルタの構成は楽になるが、A/D変換器自体の高速性や素子精度が要求されるため、必ずしも良好な特性が得られるわけではない。

本稿では、 Δ - Σ 変調器とディジタル・フィルタ技術を採用したオーバー・サンプリング方式のA/D変換器について言及する。

2. Δ - Σ 変調とは

2.1 Δ変調器

Δ変調器は図-2の構成をもち、入力信号と予測信号を比較し、入力の方が小さい時は 0 、大きい時は 1 を出力する（図-3）。

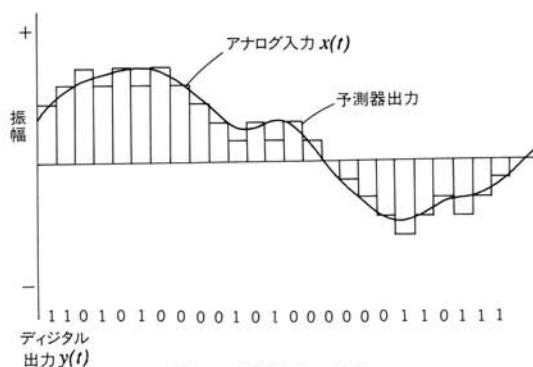


図-3 Δ変調器の動作
Fig. 3 Operation of the delta modulator.

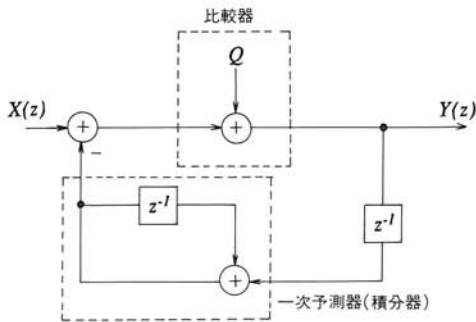


図-4 一次 Δ 変調器の構成
Fig. 4 First-order delta modulator.

予測器に一次の積分器を用いた場合 (図-4) の入出力の関係は、

$$\begin{aligned} \varepsilon(t) &= x(t) - \int_{-\infty}^{t-1} y(u) du \\ y(t) &= \begin{cases} \Delta & \text{if } \varepsilon(t) \geq 0 \\ -\Delta & \text{if } \varepsilon(t) < 0 \end{cases} \end{aligned} \quad (1)$$

となり、比較器で $q(t)$ という量子化雑音が混入したと考えると、

$$\begin{aligned} y(t) &= \varepsilon(t) + q(t) \\ \varepsilon(t) &= y(t) - q(t) \end{aligned} \quad (2)$$

式(1)に代入して、

$$\begin{aligned} y(t) - q(t) &= x(t) - \int_{-\infty}^{t-1} y(u) du \\ y(t) + \int_{-\infty}^{t-1} y(u) du &= x(t) + q(t) \end{aligned} \quad (3)$$

となる。z 変換すると、

$$Y(z) + \frac{z^{-1}}{1 - z^{-1}} Y(z) = X(z) + Q \quad (4)$$

よって伝達関数は、

$$Y(z) = (1 - z^{-1})X(z) + (1 - z^{-1})Q \quad (5)$$

で表される。

入力信号は、出力信号 $Y(z)$ を積分すること

によって復元され、式(5)より、量子化雑音 Q が白色であれば、帯域内に均等に分布することがわかる。

欠点は、精度を上げるためには非常に高速に動作させる必要があることと、入力振幅の急激な変化に追従できずに大きな歪みを生じることである。

2.2 改良型 Δ 変調器

追従性を改善するために、Δ 変調器の入力に積分器を設け急激な振幅変化を減らし、復調側で微分することで元の波形を再生する、一種のエンファシス的な手法が考案された (図-5)。

予測器に一次の積分器を用いた場合の入出力の関係は、

$$\begin{aligned} \varepsilon(t) &= \int_{-\infty}^t x(u) du - \int_{-\infty}^{t-1} y(u) du \\ y(t) &= \begin{cases} \Delta & \text{if } \varepsilon(t) \geq 0 \\ -\Delta & \text{if } \varepsilon(t) < 0 \end{cases} \end{aligned} \quad (6)$$

となる。

2.3 Δ-Σ 変調器

式(6)において、右辺第1項の積分は入力信号によっては必ずしも収束するとは限らない。そこで系が線型であれば式(6)は、

$$\varepsilon(t) = \int_{-\infty}^t \left\{ x(u) - y(u-1) \right\} du \quad (7)$$

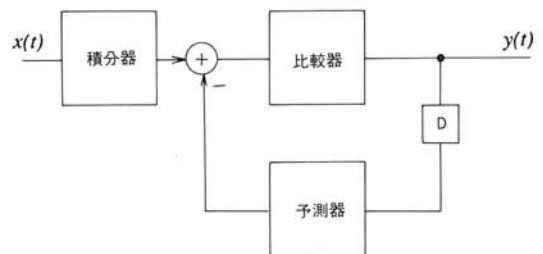


図-5 改良型 Δ 変調器の基本構成
Fig. 5 Modified delta modulator.

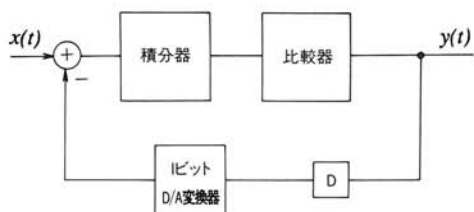
図-6 Δ - Σ 変調器の基本構成

Fig. 6 Block diagram of a delta-sigma modulator.

のように変形できる。また、式(3)が必ず収束するために、入力信号 $x(t)$ と帰還電圧 Δ の関係を、

$$|x(t)| < |\Delta| \quad (8)$$

とする必要がある。

実現する回路は、図-6のように構成される。

2.4 Δ - Σ 変調器のメカニズム

あるアナログ信号 $x(t)$ が入力された場合の Δ - Σ 変調器の各部の動作について説明する。

積分器への入力、出力が“0”の場合、 $-\Delta$ が帰還され正となり ($\varepsilon(t) \geq 0$)、出力が“1”の場合、 $+\Delta$ が帰還され負となる ($\varepsilon(t) < 0$)。ここで、初期状態として積分器出力が“0”、D/A出力が $-\Delta$ であると考え、動作の状態は図-7のようになる。

出力の“0”、“1”の出現頻度は、 Δ 変調器では

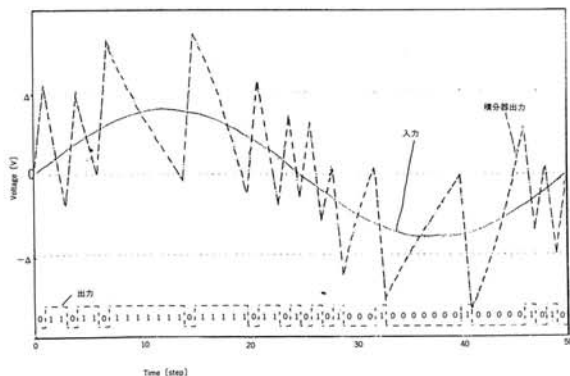
図-7 Δ - Σ 変調器の動作

Fig. 7 Operation of the delta-sigma modulator.

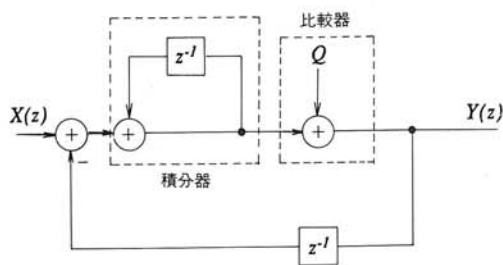
図-8 一次 Δ - Σ 変調器の構成

Fig. 8 First-order delta-sigma modulator.

振幅の変化の度合いによったが、 Δ - Σ 変調器では、入力振幅そのものに比例する。

2.5 ダイナミック・レンジ³⁾

まず1次の Δ - Σ 変調器に対して信号伝達特性を考える (図-8)。ここで、1ビット量子化器は入力に雑音加わって量子化したものとして表される。特性は、

$$Y(z) = X(z) + (1 - z^{-1})Q \quad (9)$$

で表され、信号帯域内雑音はQを白色とすると、量子化雑音Gは、

$$G = \int_{-\Delta}^{\Delta} |Q(e^{j\omega})| d\omega = \frac{\Delta^2}{3} \quad (10)$$

となり、その分布は、高い周波数に偏る (ノイズ・シェーピング特性を持つ) ものとなる (図-9)。

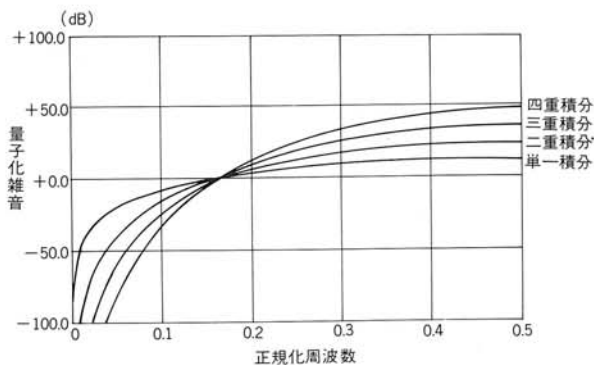
図-9 Δ - Σ 変調器の量子化雑音

Fig. 9 Quantization noise of delta-sigma modulators.

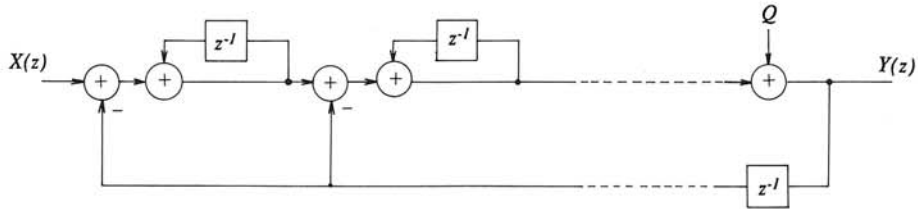


図-10 r重積分型Δ-Σ変調器

Fig. 10 rth-order delta-sigma modulator.

信号帯域内雑音 N_f は、

$$N_f = G \frac{1}{\pi} \int_0^{\frac{\pi}{N}} |1 - e^{-j\omega}|^2 d\omega \quad (11)$$

となる。

r 重積分形の Δ-Σ 変調器 (図-10) では、特性は、

$$Y(z) = X(z) + (1 - z^{-1})^r Q \quad (12)$$

で表され、信号帯域内雑音 N_{fr} は、

$$N_{fr} = G \frac{1}{\pi} \int_0^{\frac{\pi}{N}} |1 - e^{-j\omega}|^{2r} d\omega \quad (13)$$

となる。ダイナミック・レンジ D は、

$$D = 10 \log_{10} \left[\frac{3(2r+1)N^{2r+1}}{2\pi^{2r}} \right] \quad (14)$$

で表される。

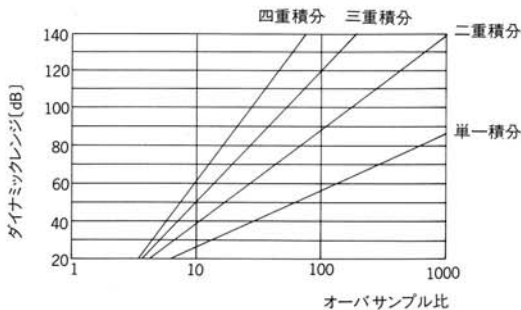


図-11 オーバ・サンプル比とダイナミックレンジ

Fig. 11 Over-sampling ratio to Dynamic range.

図-11 にダイナミック・レンジの シミュレーション結果を示す。

16ビット A/D 変換器として用いるには、S/N 比 98 dB 以上が必要であり、2 重積分形ではオーバ・サンプル比 200 程度、3 重積分形ではオーバ・サンプル比 50 程度が必要であることが判る。

3. デシメーションフィルタ

3.1 デシメーションフィルタの機能

Δ-Σ 変調器で得たデジタル・データは、通常のオーディオに用いるサンプリング周波数の数十倍～数十倍の高速データ・レートであるため、サンプルの間引きをしてデータ・レートを下げる必要がある。

しかし、単に間引いただけでは折り返し雑音が発生するので、間引きを行う前に不要なスペクトル成分を取り除く (十分減衰させる) ようなフィルタを通してやり、折り返し雑音の混入を防がなければならない。デシメーションフィルタは、この機能を果たすフィルタである。

3.2 デシメーションフィルタの構成

デシメーションフィルタは、デシメーション比^{脚注 1)}

脚注 1) デシメーション比：デシメーション前後のサンプリング周波数比のこと。100 kHz から 25 kHz にサンプリング周波数をおとせば、デシメーション比は 4 である。また、この場合 1/4 デシメーションともいう。

が大きくなった場合、カットオフ周波数が低く、通過域から阻止域への遷移領域の特性も急峻なものが要求される。

この特性を直接実現しようとする、次数が1000次以上のFIRフィルタとなる。一般に次数の高いFIRフィルタは、係数の精度が要求されるため、ハードウェア規模の著しく大きなものとなる。

そこで、デシメーションを複数に分けることにより、遷移領域の比較的緩慢なフィルタを使用することができ、トータルの処理量、規模ともに小さくすることができる。

図-12はデシメーション比4の場合に要求されるフィルタの特性である。

図-13を用いて、1/2デシメーションを2回行うことで前記1/4デシメーションを実現する方法を説明する。1段目の1/2デシメーションでは、図-13(a)で表される特性のフィルタを用いる。ここでは、最終的に必要な周波数帯域の2倍以上の信号を取り除けば良い。2段目の1/2デシメーションでは、図-13(c)で表される特性のフィルタを用いる。結果として得られる特性は図-13(b)と(c)の合成されたものであり、図-13(d)で表される。比較のためスケールを書き直したものが図-13(e)である。

図-12と図-13(e)と比べると目標の特性が得られることがわかる。また図-12と図-13(c)と比べると必要となるフィルタ特性の遷移領域がかなり緩慢になっていることがわかる。

デシメーション・フィルタを2段とした場合、1段目は高速な処理が要求されるため、加算のみで構成できる移動平均フィルタ（伝達関数は式(15)で表される1/Nデシメーションの場合）がよく用いられる。⁴⁾

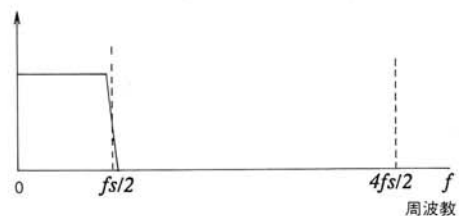


図-12 デシメーション比4の場合のフィルタ特性
Fig. 12 Characteristics in the case of $1/4$ decimation.

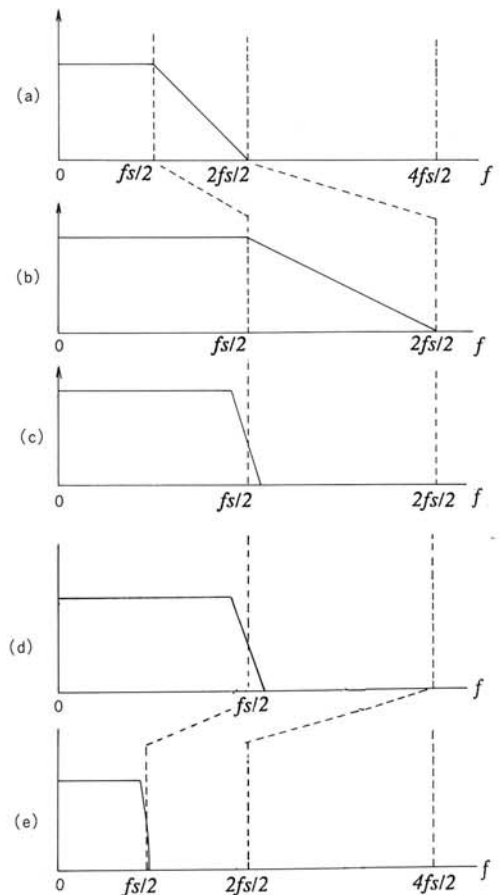


図-13 デシメーション比2のものを2コ縦列接続した場合のフィルタ特性
Fig. 13 Characteristics in the case of two $1/2$ decimation in series.

$$Y(z) = 1 + z^{-1} + z^{-2} + \dots + \frac{z^{-(N-1)}}{N} \quad (15)$$

$$= \frac{1 - z^{-N}}{N [1 - z^{-1}]}$$

r 重積分形のA-Σ変調器を用いた場合では、こ

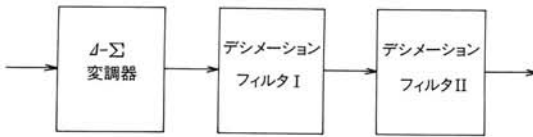


図-14 Δ-Σ変調型A/D変換器の基本構成

Fig. 14 Architecture of A/D converters with delta-sigma modulators.

のフィルタを $r + 1$ 段以上縦続接続した構成をとる。

2 段目は比較的低速に動作できるため、一般的なフィルタが使用できるが、オーディオ用には直線位相特性をもつ FIR フィルタを用いる。

4. A/D 変換器の構成

4.1 基本構成

Δ-Σ変調器を用いた A/D 変換器の基本構成を図-14に示す。

このなかで、アナログ回路で構成されるのは、Δ-Σ変調のブロックのみであり、他はデジタル回路で構成される。

4.2 応用例

Δ-Σ変調器に 2 重積分型を用い、32 倍のオーバー・サンプリングで動作させた場合について、具体的に説明する。

4.2.1 Δ-Σ変調器の具体例

2 重積分型 Δ-Σ変調器の伝達関数は、

$$Y(z) = X(z) + (1 - z^{-1})^2 Q \quad (16)$$

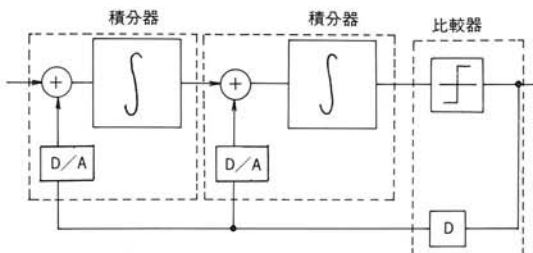


図-15 二重積分型Δ-Σ変調器

Fig. 15 Second-order delta-sigma modulator.

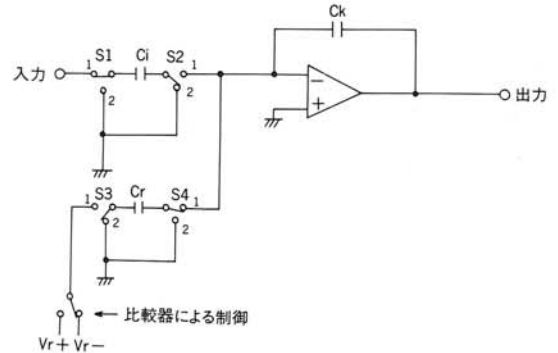


図-16 スイッチ・キャパシタによる積分器の例

Fig. 16 An example of an integrator using switched capacitors.

であり、回路ブロックは、図-15 のようになる。

積分器はオペ・アンプとスイッチ・キャパシタで構成される (図-16)。

積分動作は、入力に対する積分と帰還に対する積分とを別々に行っているため、サンプリングの半周期の間に積分動作を完了していなければならない (図-17)。

4.2.2 デシメーション・フィルタの具体例

デシメーション比は 32 であり、前段のフィルタで $1/8$ デシメーションを、後段のフィルタで $1/4$ デシメーションを行うことにする。

前段の $1/8$ デシメーション・フィルタの伝達関数は、

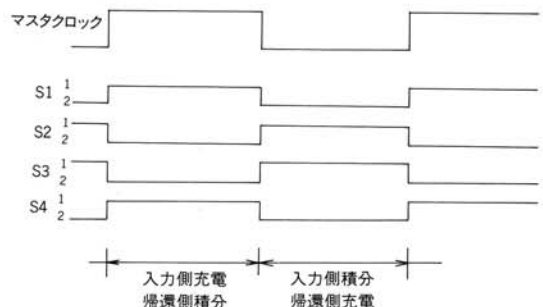


図-17 積分器のタイムチャート

Fig. 17 Timingchart of integrator.

$$\begin{aligned}
 H(z) &= \left[\frac{1-z^{-8}}{1-z^{-1}} \right]^3 \\
 &= 1 + 3z^{-1} + 6z^{-2} + 10z^{-3} + 15z^{-4} + 21z^{-5} \\
 &\quad + 28z^{-6} + 36z^{-7} + 28z^{-8} + 21z^{-9} + 15z^{-10} \\
 &\quad + 10z^{-11} + 6z^{-12} + 3z^{-13} + z^{-14}
 \end{aligned}
 \quad (17)$$

であり、3章でも述べたように、前段のフィルタは高速動作が必要であるため、乗算器を用いない構成を採る（図-18）。

最終的なサンプリング周波数を 48 kHz とすると、入力信号のデータ・レートはその32倍の1536 kHzである。

シフト・レジスタ R_1, R_2, R_3 は、シフト・クロックが 1536 kHz で、データ 8 個毎にクリア信号が入る（192 kHz）。

レジスタ R_4, R_5 は、192 kHz のクロックにより順次更新される。

各ブロックの出力データを以下に示す。

$$A : 1 + z^{-1} + z^{-3} + z^{-4} + z^{-5} + z^{-6} + z^{-7}$$

$$B : 1 + 2z^{-1} + 3z^{-2} + 4z^{-3} + 5z^{-4} + 6z^{-5} + 7z^{-6} + 8z^{-7}$$

$$C : 1 + 3z^{-1} + 6z^{-2} + 10z^{-3} + 15z^{-4} + 21z^{-5} + 28z^{-6} + 36z^{-7}$$

$$D : 9 + 9z^{-1} + 9z^{-2} + 9z^{-3} + 9z^{-4} + 9z^{-5} + 9z^{-6} + 9z^{-7}$$

$$E : 9 + 18z^{-1} + 27z^{-2} + 36z^{-3} + 45z^{-4} + 54z^{-5} + 63z^{-6} + 72z^{-7}$$

$$F : 27 + 18z^{-1} + 9z^{-2} + -9z^{-4} - 18z^{-5} - 27z^{-6} - 36z^{-7}$$

$$G : 28 + 21z^{-1} + 15z^{-2} + 10z^{-3} + 6z^{-4} + 3z^{-5} + z^{-6}$$

$$H : 28z^{-8} + 21z^{-9} + 15z^{-10} + 10z^{-11} + 6z^{-12} + 3z^{-13} + z^{-14}$$

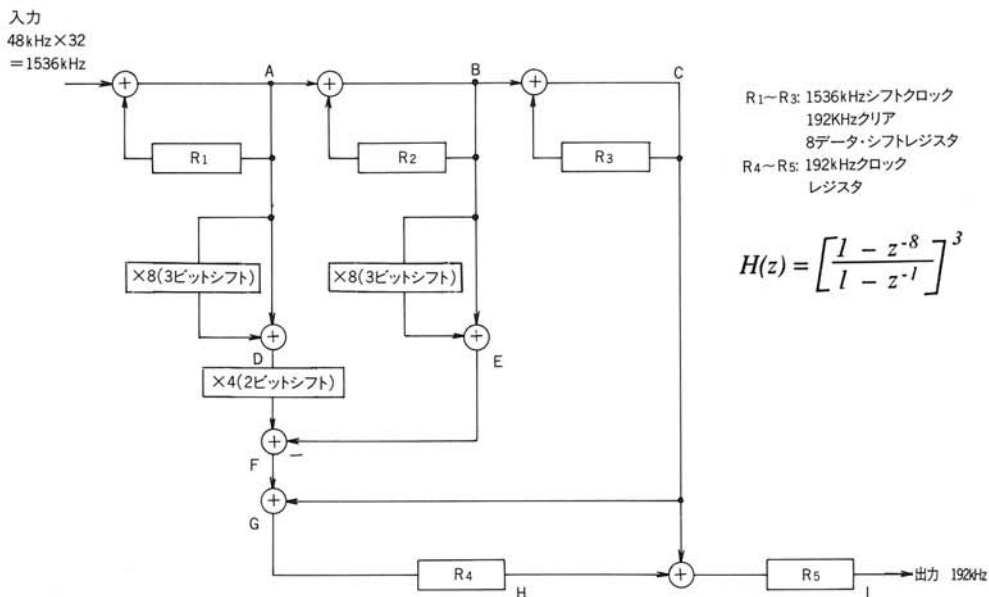


図-18 デシメーションフィルタ前段の構成例

Fig. 18 An example of the first decimation filter.

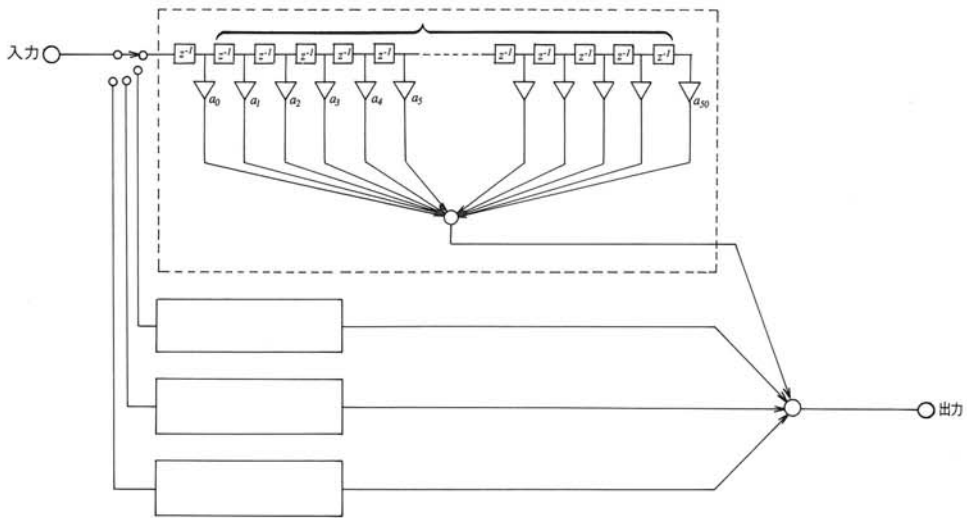


図-19 デシメーションフィルタ後段 (1/4デシメーション、次数200)の例
Fig. 19 An example of the second decimation filter.

$$\begin{aligned}
 I: & 1 + 3z^{-1} + 6z^{-2} + 10z^{-3} + 15z^{-4} + 21z^{-5} \\
 & + 28z^{-6} + 36z^{-7} + 28z^{-8} + 21z^{-9} + 15z^{-10} \\
 & + 10z^{-11} + 6z^{-12} + 3z^{-13} + z^{-14}
 \end{aligned}$$

I は求める伝達特性であり、所望の伝達関数可以实现できることがわかる。

後段の 1/4 デシメーション・フィルタは、次数200程度で構成でき、データ・レートは192 kHzであり、乗算器を用いた構成を採ることができる。構成を図-19に示す。

以上で具体的な 4-Σ 変調型 A/D 変換器が構成できる。

5. ま と め

4-Σ 変調型 A/D 変換器は、最近各社から発売され、その方式も単純な積分型だけでなく、多段型ノイズシェーピング方式のものも発表されている。^{5),6)}

また、A/D 変換器だけでなく、D/A 変換器に

も適用できることが報告されており、今後、PWM 変調からデジタル・アンプへの展開が期待される。

参 考 文 献

- 1) H. Inose, and Y. Yoshida, "A Unity Bit Coding Method by Negative Feedback," Proc. IEEE, vol. 51, pp. 1524-1535, Nov., (1963)
- 2) H. Inose, Y. Yoshida, and J. Murakami, "A Telemetry System by Code Modulation," IRE Trans. Space Electronics and Telemetry, vol. SET-8, pp. 204-209, Sep. (1962)
- 3) 岸本、長瀬、"オーバー・サンプリング型 A/D 変換器の構成法に関する検討"、信学技報、CS83-198, pp. 93-100, (1983)
- 4) J. C. Candy, Y. C. Ching, and D. S. Alexandor, "Using Triangular Weighted Interpolation to Get 13-bit PCM from a

- Sigma-Delta Modulator," IEEE Trans. Communications, vol. COM-22, pp. 298-305, Mar., (1974)
- 5) T. Hayashi, Y. Inabe, K. Uchimura, and T. Kimura, "A Multistage Delta-Sigma Modulator without Double Integration Loop," ISSCC Digest of Technical Papers, pp. 182-183, (1986)
- 6) Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, and M. Ishikawa. "A 16bit Oversampling A/D Conversion Technology using Triple Integration Noise Shaping," ISSCC Digest of Technical Papers, pp. 48-49, (1987)
- 7) 松谷、内村、岩田、"多段量子化雑音抑圧 (MASH) 方式 16bit CMOS D/A 変換 LSI", 信学技報、EA87-79, pp. 25-32, (1987)