

ディジタルチューニングシステム用
マイクロコンピュータ

Digital Tuning System Microcomputer

和田 健作⁽¹⁾ 木村 雅春⁽²⁾ 正木 悟⁽³⁾
Kensaku Wada Masaharu Kimura Satoru Masaki

天谷 祐治⁽⁴⁾ 伊藤辰男⁽⁵⁾ 久郷一朗⁽⁶⁾
Yuji Amaya Tatsuo Ito Ichiro Kugo

要　　旨

日本のモータリゼーションは、成熟の時代に入り“本物志向”とか“スポーツ志向”あるいは“ゲタ代り”などに代表されるように、車に対する市場の要望は多様化しつつある。一方、オーディオ機器においても高精度、高性能、多機能、かつ、小型、軽量化の市場要求が高まりつつある。この様な市場環境に対して、“新しい、走るリスニング・ルームを構築する上でのオーディオ製品の核となり、新しい価値を創造していく”という課題に答えられるのは最適設計をされた新しいマイクロコンピュータである。

この思想を基に、当社はこの度PLLシンセサイザ、A/Dコンバータ、LCDドライバを内蔵した、高集積度のディジタルチューニングシステム用マイクロコンピュータを富士通㈱と共同開発した。

本稿ではその開発のねらいと成果を報告する。

Motorization in Japan has entered its stage of maturity with increased diversification of the market needs as represented by such phrases as “Professionally-Oriented”, “Sport minded”, and “Substitute shoes”. Also in the field of audio system, there is an increasing market demand for high accuracy, high performance and multi-function, as well as compactness and lightness. A problem of “creating a new value which forms the heart in constructing a new listening-room on-board” based on the market environment can only be solved by the introduction of a new microcomputer optimally designed to meet such requirements.

On the basis of this conception, our company has recently developed a microcomputer for highly accurate digital tuning system with built-in PLL synthesizer, A/D converter and LCD driver jointly with Fujitsu Limited.

This paper reports the target of the development of this computer and its results.

(1)～(3) 富士通株式会社

(4)～(6) 開発技術部

1. はじめに

現在のカーオーディオの傾向(要求)としては高級化、多機能化、そして小型化という方向に進んでおり当社においても電子チューナ(以下ETRと略す)、マイコンデッキ、一体機などの機種が増加傾向にある。これらの要求を満たすシステムの構成を実現するためには、機能面、コスト面を考慮した新世代のワンチップマイコンの開発が急務となってきた。

ETR制御システムは、半導体技術の著しい進歩により図-1に示す様に第1世代(プリスケーラ、PLL IC、制御マイコン)の3チップ構成から、1チップ構成(第3世代)が可能になってきた。

今回開発したMB89006(チップ写真図-2)は、富士通 MB88500 シリーズのアーキテクチャをベースとしたROM、RAM、I/Oポートの強化、PLL、LCD、A/Dを内蔵した4ビットワンチップマイクロコンピュータである。

以下、本マイコンの開発のねらいとその成果について述べる。

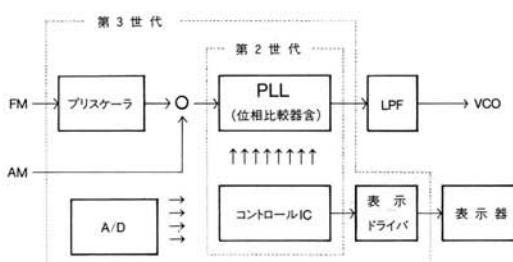


図-1 PLLシンセサイザ構成

Fig. 1 PLL synthesizer section configuration.

2. 開発のねらい

ETRの多機能化と操作性向上、コスト低減および信頼性向上を考慮し、開発のねらいを次のように定めた。

2.1 ハードウェア

- 1) 多I/Oポートによる制御対象数増加
- 2) ROM、RAM容量増大による処理能力向上
- 3) 集積度向上による1チップ化
- 4) リニア回路とのインターフェイス簡略化のためA/Dコンバータの内蔵

2.2 ソフトウェア

- 1) ETRの持つ基本選局機能のバージョンアップ
- 2) ETR基本機能以外の外部リニア回路制御

上記2.1、2.2項をマイコンハードウェア仕様企画時に十分検討し、図-3のシステム構成を実現するためのマイコンを開発した。

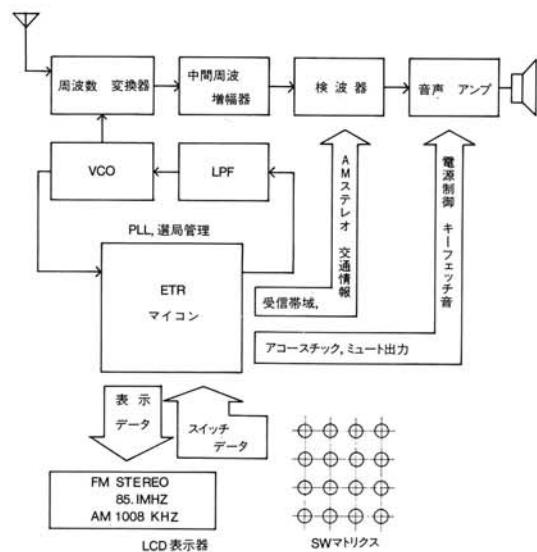


図-3 多機能型ETRのシステム構成

Fig. 3 High performance ETR system configuration.

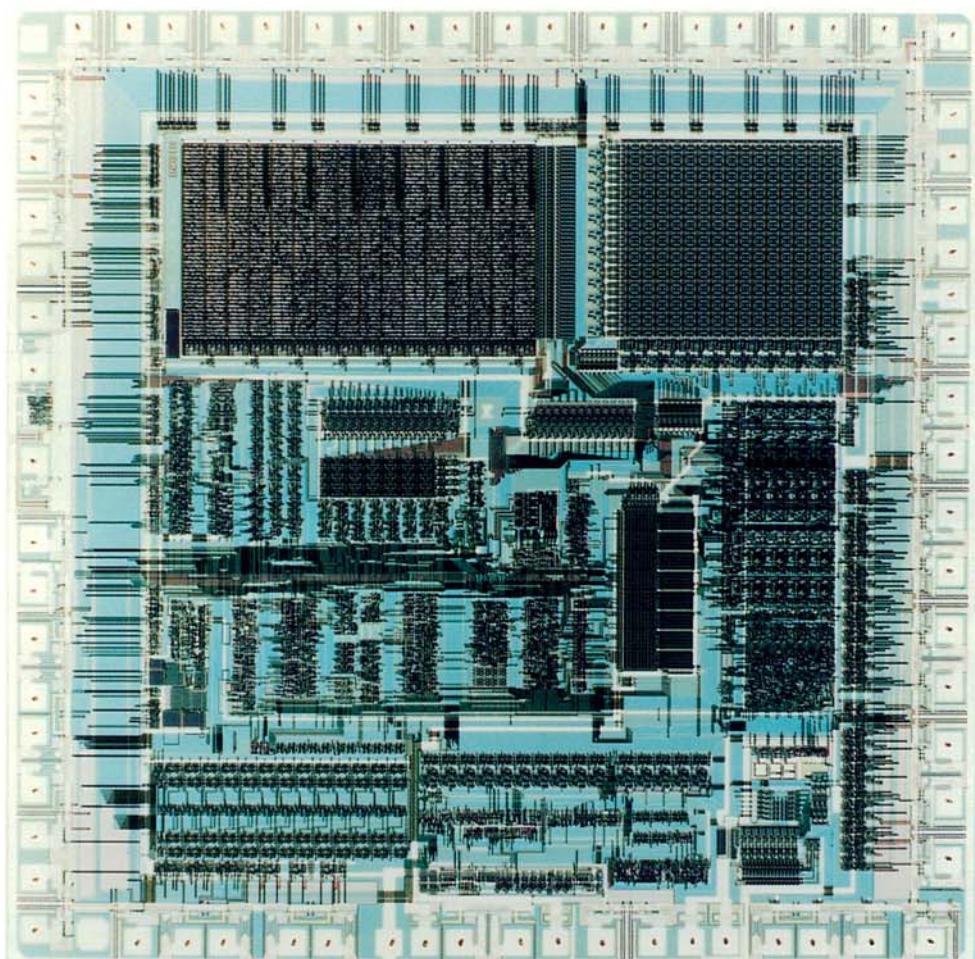


図-2 チップ写真
Fig. 2 Micro computer chip layout.



図-12 エミュレータ写真
Fig. 12 Emulator system.



図-13 パッケージ写真
Fig. 13 Package of micro computer.

3. マイコンの特徴

今回開発したマイコン MB89006は、高速PLLシンセサイザ回路を内蔵したC-MOS 1チップマイコンで、そのハードウェア仕様を表-1に、内部ブロック図を図-4に示す。

主な特長は次の5項目である。

- 1) マイコンの命令体系は、MB88500シリーズと互換性がある。
- 2) 位相差信号出力用に2本のポートを持ち、設計の効率化が図れる。（外付回路設計が容易）
- 3) AM、FM局発の入力部分にプリスケーラを内蔵しているため不要輻射の心配が少ない。
- 4) LCDドライバはバイアス回路内蔵で、直接表示素子を駆動できる。（外付回路が不要）
- 5) A/Dコンバータを内蔵することにより、簡単にアナログ量をデジタルデータとして扱えるため制御対象の詳細な情報を得ることが出来

表-1 MB89006ハードウェア仕様

型名	MB89006
基本命令数	70
ROM容量	3072×8bit
RAM容量	192×4bit
I/Oポート	21本
最小命令実行時間	6.67μS/4.5 MHz クロック
A-Dコンバータ	6bit, 3ch
スタンバイ機能	あり
PLL	比較周波数: 1/5/9/10/12.5/25 kHz FM 入力: 120 MHz (max) AM 入力: 32 MHz (max)
LCD	LCD ドライバ 1/2 DUTY, 1/2BIAS セグメント出力 26本, コモン出力 2本
パッケージ	FPT-80
プロセス	C-MOS

る。

以下、特長と機能の詳細について説明する。

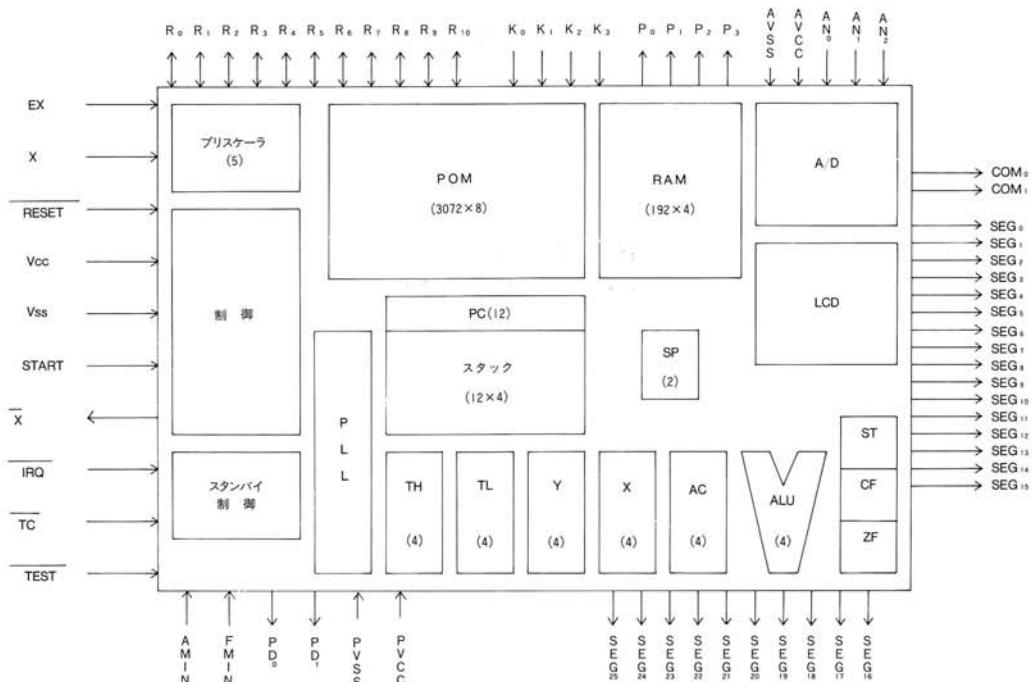


図-4 内部ブロック図

Fig. 4 Micro computer block diagram.

3. 1 マイクロコンピュータ部構成

3. 1. 1 メモリ容量

マイコンは、作成されたプログラムをマスク処理によってROM化し、これによって全体の動作を制御させるわけであるが、ETR制御+多機能実現のために必要なソフトウェア容量を考慮し、本マイコンのROM容量は3Kバイトを採用した。これに伴いデータ格納領域であるRAM容量も192ワードと十分な大きさを持たせ、より多くのデータを格納できるものとした。

なお、RAM容量はスタッカレベルに影響を受けて全領域データ格納に使用でき、スタンバイ動作中もVcc電源によりバックアップされる。

3. 1. 2 I/Oポート

基本的なチューナの制御ポートとしてはキーソース信号出力の4本、キー入力ポートの4本、IF,POWER, MUTE, BEEP, BAND の5本、合計13本で行える。多機能型ETRでは、これに音質制御出力や、AMステレオのモノ/ステレオ出力、ワイド/ナロー出力、さらにその他制御ポートを入れると20本近いI/Oポートを必要とする。

従って、I/Oポートは割込み入力ポートも含

め21本と決定した。

表-2にI/Oポート一覧を示すとともに主要項目について説明する。

1) Rポート(11本)は並列入力、並列出力、個別入力、個別出力入出力として使用でき、入出力の混在が可能であるノンラッチ入力、ラッチ出力である。

2) IRQは外部割込み用ポートであり、ヒステリシス入力となっている。IRQ=0で割込みを可能にするために使用されるが、外部割込み未使用時には、センス入力として使用可能である。

3) TCはタイマ/カウンタへの外部カウントクロック入力で、ヒステリシス入力となっている。TC=0でタイマカウンタが1だけインクリメントされる。タイマ/カウンタへの外部カウントクロック入力を未使用時には、センス入力として使用可能である。

3. 1. 3 タイマ系

タイマ/カウンタは8ビットのプログラマブルカウンタから構成される。

この構成図を図-5に示す。

カウントクロックソースとして外部カウントク

表-2 I/Oポート一覧表

ポート名	項目番号	ポート番号	並列入力	並列出力	個別入力	個別出力	入出力	機能
K ₃ ～K ₀	—	○						1命令でK ₃ ～K ₀ ポートの状態を内部データとして取り込めるため、キーマトリクス用キー入力ポートに使用する。
P ₃ ～P ₀	—			○				1命令でP ₃ ～P ₀ ポートの出力制御が可能なため、キーマトリクス用キーソース信号出力に使用する。
R ₃ ～R ₀	0	○	○	○	○	○		1命令でポート制御が可能なため、制御頻度の高いI/O信号に使用する。
R ₇ ～R ₄	1	○	○	○	○	○		汎用入出力に使用する。
R ₁₀ ～R ₈	2	○	○	○	○	○		1命令でポート検出が可能なため、検出頻度の高いI/O信号に使用する。
TC	—				○			タイマ/カウンタへの外部信号入力で内部ハードウェアで構成できない長時間インターバルタイマを構成する時に使用する。
IRQ	—				○			外部割込み入力で、優先度の高い信号入力に使用する。

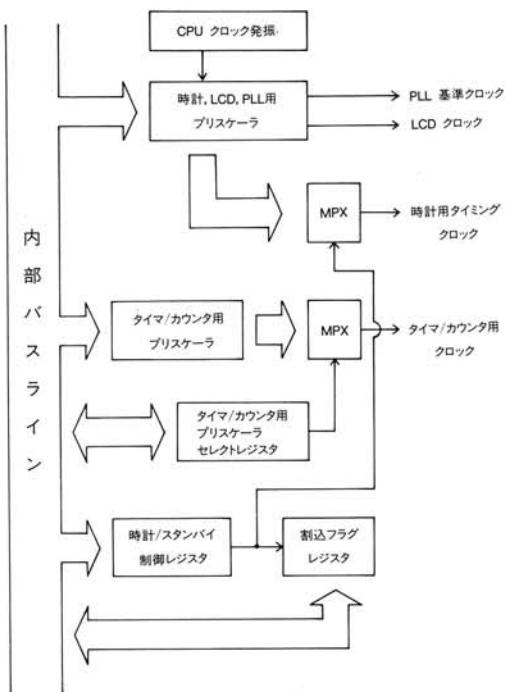


図-5 タイマ/カウンタ構成図

Fig. 5 Block diagram of Timer/Counter section.

ロック入力、内部ブリスケーラ（3種）が使用可能である。

内部ブリスケーラは5段の分周回路と時計、LCD、PLL用の分周回路の2組より構成されている。

タイマ/カウンタ用クロックは、タイマ/カウンタ用ブリスケーラセレクトレジスタにより4種のうちから選択できる。

時計用ブリスケーラは、LCD、PLL、時計用のクロックソースとして使用されている。時計用、タイミング信号としては、100ms, 10ms, 5ms, 1msから時計用ブリスケーラセレクトレジスタにより選択できる。

3. 1. 4 スタンバイ機能

ソフトウェア起動によるスタンバイ機能があり低消費電力データ保持が可能である。

また、ソフトウェアによりスタンバイ中のCPUクロック発振の停止/CPUクロック発振の継

続のいずれかが、選択できる。

スタンバイ起動により、起動後の2～3命令を実行し、CPUはホールド状態に入り、クロック発振停止またはクロック発振継続でスタンバイ状態となり、以後低消費電力データ保持を行う。

チューナ制御にスタンバイ機能を採用する大きな要因の1つとして、ACC OFF時の低消費電力化がある。クロック発振停止モードでスタンバイに入ることにより、MPUおよびPLL、A/Dの消費電流を合計 $30\mu A$ (TYP) 以下にできる。

また、スタンバイ中のポート出力をハイインピーダンス出力にマスクオプションにて選択することで、マイコン出力ポートに関わる消費電流を、軽減することができる。

3. 2 PLL (Phase Locked Loop)

PLLは、基準クロック発生デバイス、局部発振入力プログラマブル・カウンタとフェイズコンパレータから構成される。

PLLの構成図を図-6に示す。

基準クロック周波数は、25 kHz, 12.5 kHz, 10 kHz, 9 kHz, 5 kHz, 1 kHzから選択することができる。

局発入力プログラマブル・ブリスケーラとしてはパルススワロー分周と直接分周とが選択できる。

FMINはFM用局発入力であり（パルススワロー分周のみ）AMINはAM用局発入力である。

プログラマブルカウンタの段数は、15ビットである。

コンパレータは、基準クロックと局発分周データとを比較し位相差信号を出力する。その信号はL PFを通して局部発振器の周波数を変化させる。

PLLのLOCK状態はLOCKフラグを読み出すことで、検出できる。基準クロック以上の時間間隔にてLOCKフラグを読み出すことによって、PLL回路がLOCK状態か、UN-LOCK

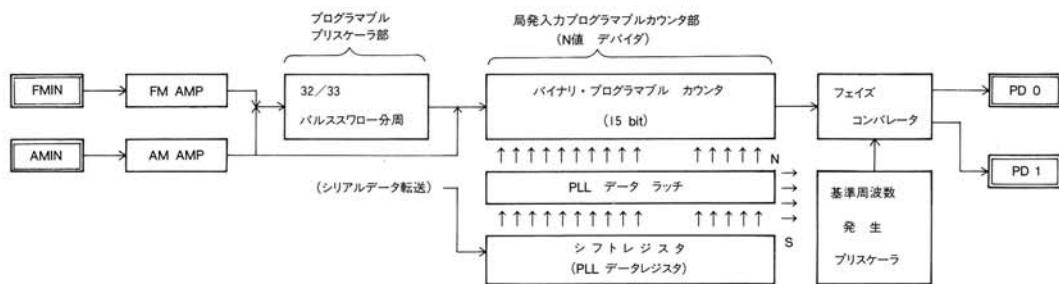


図-6 PLL回路構成図

Fig. 6 Block diagram of PLL section.

状態かが検出できる。

3回～数回、LOCK状態を示していれば、PLL回路が、完全にLOCK状態であるといえる。

局発用プリスケーラの最高分周波数は、FMモードでは120 MHz, AM-H(パルススワロー分周)では32 MHz, AM-L(直接分周)では10 MHzである。

図-7にPLL入力レベル特性を示す。

このグラフはFMIN, AMINの、 $V_{cc}=4.5 \sim 5.5$ V, $T_a = -45 \sim 85^\circ\text{C}$ の条件下における最小入力レベルと最大動作周波数の関係を示すものである。(斜線部分は規格内電源変動、温度変化による特性のバラツキ幅)

グラフにみられる小入力レベルでの動作は、不要輻射の心配が少なく、容易に設計を行うことを可能にしている。また、動作電流も $F_{Min} = 120$ MHz 入力時 TYP. 14 mA と低い電流で動作する。

なお、FMIN, AMINのアンプ部および32/33分周回路の電源は、PVC C、PVSSより供給される。

プログラマブル・プリスケーラの分周制御は次の通りである。例として 1008 kHz 朝日放送を受信する場合の分周制御を示す。

受信希望周波数を 1008 kHz とすると、国内局発周波数は、450 kHz 高い 1458 kHz 付近の周波数が、AMINに入力される。これを、国内基準

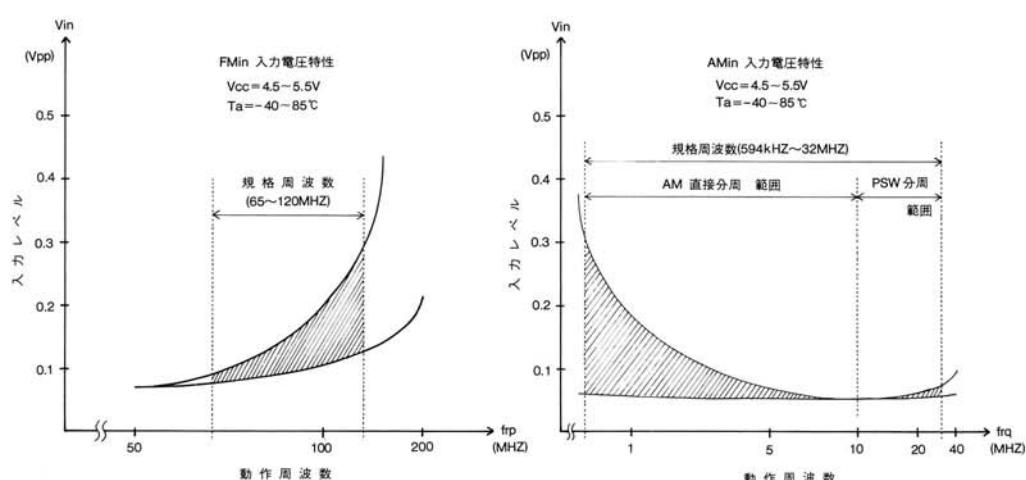


図-7 PLL入力特性

Fig. 7 PLL input voltage characteristic of MB 89006.

周波数 9 kHz (AM) まで分周する必要がある。

従って $1458 \text{ kHz} \div 9 \text{ kHz} = 162$ 分周する値をプログラム・プリスケーラに設定する。

図-6は PLL回路構成図であるが、局発入力プログラム・プリスケーラ部はソフトレジスタ、PLLデータラッチ、バイナリ・プログラマブルカウンタより構成される。

$$162\text{分周} = 128\text{分周} + 32\text{分周} + 2\text{分周} \dots (N)$$

従って、プログラマブルカウンタの 128 分周器と 32 分周器および、2 分周器を動作させればよい。表-3は分周方式と基準周波数選択をコントロールするレジスタ表であるが、AMバンド(直接分周)で基準周波数 9 kHz と決定すると、コントロールレジスタの書き込みデータ (S) も決定される。

これらのデータ局発分周値 N と基準周波数値 S を PLL データレジスタに転送し PLL 出力命令

を実行すると局発周波数が 9 kHz 付近まで分周される。

これを、フェイズコンパレータで基準周波数と比較し、位相差を PD 0,1 へ出力する。

マイコン外部で、この位相差を電圧に変換する L.P.F 回路を構成しておくと、いわゆる PLL ループが作れ、周波数をシンセサイズできる。

3.3 LCD ドライバ

LCD ドライバは、1/2 デューティ、1/2 バイアス駆動方式を採用、コモン出力として COM₀, COM₁ の 2 本、セグメント出力としては SEG₀ ~ SEG₂₅ の 26 本がある。

LCD ドライバの構成図を図-8 に示す。

表示データ格納のためにセグメントデータとして 13 ワード × 4 ビットの内部ラッ奇を内蔵している。LCD の 1 フレーム周期は 20ms である。ソ

表-3 コントロールレジスタ表

コントロールレジスタ				比較基準周波数	FM/ AM	分周方式	モード
S ₃	S ₂	S ₁	S ₀				
0	0	0	0	25kHz	FM (FMIN)	パルススワロー分周	FM
0	0	0	1	12.5kHz			
0	0	1	0	10kHz			AM-H
0	0	1	1	5kHz			
1	0	0	1	1kHz	AM (AMIN)	直接分周	AM-L
1	0	1	1	5kHz			
1	1	0	0	9kHz			AM-L
1	1	0	1	1kHz			
1	1	1	0	10kHz			
1	1	1	1	5kHz			

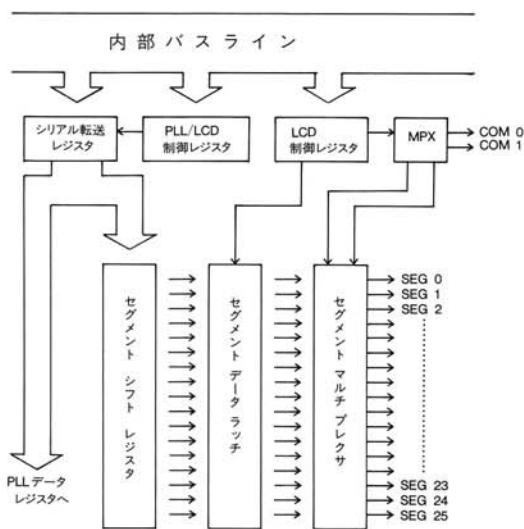


図-8 LCD回路構成図

Fig. 8 Block diagram of LCD section.

ソフトウェアによってLCDのプランキング状態を選択する機能をも備えている。

LCD表示器の点灯制御は以下の通りである。

図-9のCOM₀, COM₁の波形を見るとわかる様にコモン信号は、1フレーム20ms周期で、LOW(0V)期間5ms、HIGH(5V)期間5ms、2.5V期間10msの信号である。

LCD表示器は5Vの電位差で点灯する素子であるので、コモン信号の波形タイミングにあわせ

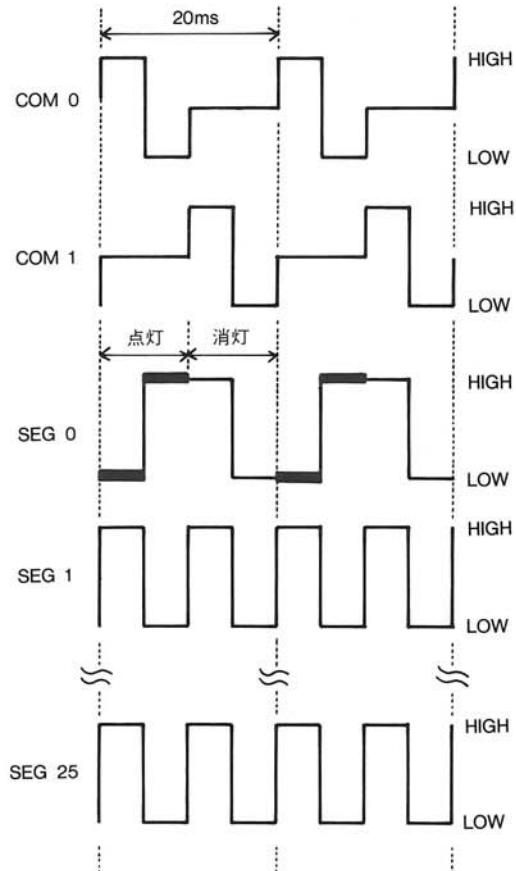


図-9 コモン及びセグメント波形

Fig. 9 Common and Segment waveform.

て、セグメントの出力波形を発生することによって表示を行える。

たとえば、図-10のLCD表示器のFMを点灯させようすると、ソフトウェアにより、FMのセグメントの（表-4）データ1をセグメントデータラッチレジスタへ転送しLCD出力命令を実行する。SEG 0からは、COM 0信号に対して常に0Vの電位差をもった信号が出力される。

従って、図-9の太線の波形(SEG 0)のFMに相当するセグメントが点灯する。

3.4 A/Dコンバータ

A/Dコンバータは逐次比較方式によるもので6ビット分解能でアナログ入力は、3本である。

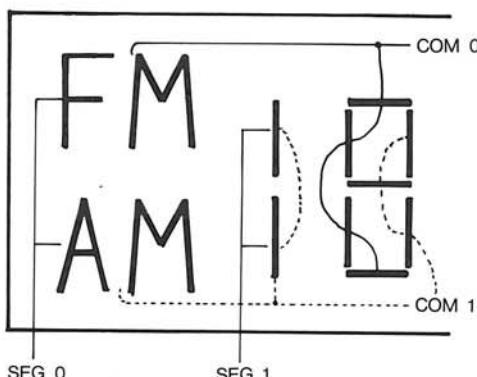


図-10 LCD表示器の構造

Fig. 10 Construction of LCD.

表-4 表示器用RAM割付表

	COM 0	COM 1
SEG 0	F M	A M
SEG 1	第1桁b	第1桁c
SEG 24	APS	■B
SEG 25	CH	■C

A/Dコンバータの構成図を図-11に示す。

AN₀～AN₂に入力される0～5Vまでのアナログ電圧を最大 $2^6=64$ 段階にディジタルデータ化できる。

1入力に対しての変換速度は53.3μsである。

アナログ入力電圧はAVCCまで可能であり、入力専用ポートなので高インピーダンス入力となる。

なお、A/Dコンバータ用の電源は、AVCC, AVSSより供給される。

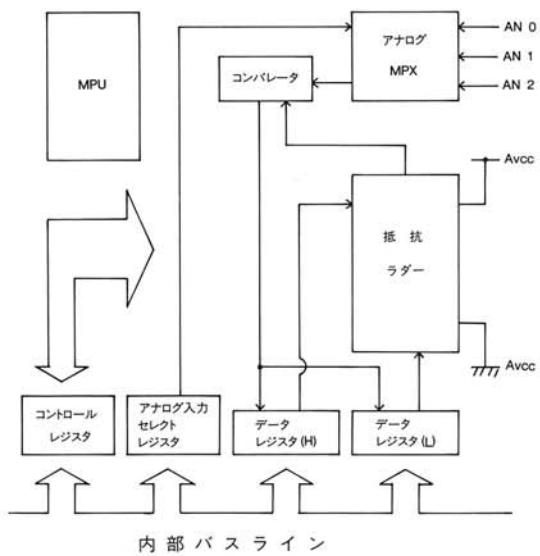


図-11 A/Dコンバータ構成図

Fig. 11 Block diagram of A/D Converter.

主な使用目的としては、電界強度の測定、ディマー電圧検出やリニア回路とのアナログデータインターフェイスなどに応用できる。

4. ソフトウェア開発サポートツール

多機能型ETR実現のためには、これを制御するソフトウェアの開発を行わなければならない。

本マイコンは当社カスタムマイコンであるのでソフトウェア開発には専用サポートツールが必要である。このため、自社ソフトウェア開発ツールとして、ハードウェアエミュレータを開発した。(図-12…3頁)

このシステムはホストコンピュータに内蔵しているエミュレーション機能を用いたもので、8ビットモニタボードと4ビットI/Oボードの構成となっている。これにより、プログラム開発からシステムデバッグまでの期間短縮が図れ、かつリアルタイムトレース機能によってより詳細なエミュレーションが行える強力なソフトウェア開発サポートツールである。このツールにより、信頼性の高いソフトウェア開発を展開している。

今後一層高まるであろう、高級・多機能化への対応が、迅速に行えるものである。

表-5 主な信頼性試験項目

試験名	試験内容
温度サイクル	150°C↔-65°C 各0.5H
熱衝撃	0°C↔100°C 各5MIN
高温高湿通電	85°C, 85%RH通電
高温高湿放置	85°C, 85%RH
プレッシャックッカー	121°C, 100%RH 2気圧
高温放置	125°C,
高温連続動作	125°C,

表-6 コントロール I C の処理機能

機能			備考
大分類	中分類	小分類	
選局機能	自動選局 (オートサーチ)	UP DOWN (0.5秒以上ON)	スロー掃引0.5秒 クイック送り AM, FM=50ms
	手動選局 (マニュアルサーチ)	UP DOWN (0.5秒未満ON)	スロー掃引0.5秒 (マニュアル/オートサーチはスイッチ兼用型)
	間欠選局 (SCAN)	UPのみ	自動選局に同じ
	交通情報 (HAR)	日本のみ 2秒未満ON 2秒以上ON	HAR メモリ選局↔ラストメモリ (サイクリック読み出し) HAR メモリに書き込み
	メモリ選局 (プリセット選局)	AM FM	5局 max 5局 max
	最終受信局 (ラストメモリ)	AM FM	1局 1局
表示	ディバイス		LCD TN型
	駆動方式	COM 2本, SEG 26本	½デューティ ½バイアス
	項目		AM HAR 日 日 . 日 AMST WIDE CH FM DX SCAN ST
	内容	受信周波数	31/2桁
受信周波数	A M 中間周波数+ 450 kHz	日本	522～1620 kHz 9 kHz セパレーション
		豪州	531～1602 kHz 9 kHz セパレーション
		米国	530～1620 kHz 10 kHz セパレーション
	F M 中間周波数+ 10.7 MHz 日本のみ-10.7 MHz	日本	76.0～90.0 MHz 100 kHz セパレーション
		豪州	88.1～107.9 MHz 100 kHz セパレーション
		米国	88.1～107.9 MHz 200 kHz セパレーション
制御出力	POWER	ラジオ ON/OFF 制御	ON……"H" OFF……"L"
	AM W/N	W/N 状態出力	NARROW……"H" WIDE……"L"
	AMmo/st, HAR	MO/ST, HAR 状態出力	STEREO, HAR……"H" MONO……"L"
	ACOU	アコースチック出力	BCDコード (2 ⁰ , 2 ¹ , 2 ²)
	SENS	受信感度自動切換	DX……"H" LOCAL……"L"
	MUTE	MUTE信号出力	アクティブ "H"
	BAND	AM/FM 切換	FM……"H" AM……"L"
	BEEP	KYE フェッチ音制御	アクティブ "H"

5. 信頼性評価

本マイコンは新規設計されたものであり、特徴のある回路を多く内蔵し集積度も高い。特に、多機能型 ETR を実現するため企画・開発されたものであり、ETR の全機能の約 80% をマイコンが制御するため、マイコン自体の品質が、搭載される製品の品質に大きく影響する。

また、車載という苛酷な環境下において動作保証を得るためにも、信頼性評価は必須事項である。

本マイコンは、デバイスの工場出荷時に信頼性試験を、当社受入時にも品質保証試験を実施し、全数チェックを行っている。デバイスの工場出荷時の試験は特別な試験方法で行っており、当社入荷時の同試験は、実機の使用条件に近い形にするため内部プログラムにより評価を行っている。

表-5に信頼性試験項目を示す。この試験を通過したデバイスが製品に搭載される。又、試験の自動化を図るためオートハンドラの導入を行った高効率、高精度の品質保証を展開している。

6. むすび

多機能型 ETR を実現するために、製品設計の

効率化を図ることのできる本マイコンのハードウェアを開発し、機能性・操作性を向上させたソフトウェアの開発を行い、その開発目的を達成することができた。

ソフトウェア事例として ETR 機能を表-6に、1 パッケージ化されたマイコンの外観写真を図-13(3 頁)に示す。

1 パッケージ化によるコスト面・実装面での向上と、ソフトウェアによる多機能・高付加価値によって実現された多機能型 ETR は、市場要求に十分に答えられるものである。

以上、今回開発したディジタルチューニングシステム用マイクロコンピュータの概要とその展開について紹介した。

なお、このマイコンに内蔵されている各回路は、今後開発予定のマイコンの基礎となるもので、表示回路の変更、あるいは機能ダウンさせた低コストの品種開発などのシリーズ化にも十分適応出来るものである。

今後も、日進月歩の半導体技術を利用して付加価値の高いマイコンを開発してゆく所存である。